使用 Network on chip 技術實現棘波分類硬體系統之研究

研究生： 賴聖穎 撰

中華民國 一百零二 年 七 月
中文摘要

本論文針對目前現有的棘波分類系統設計架構，並使用 Network on chip 技術於硬體中實現此架構。本論文採用 Generalized Hebbian Algorithm (GHA) 來擷取棘波的特徵值，搭配 Fuzzy C-Means (FCM) 演算法將擷取到的棘波特徵值進行分類。且對 GHA 電路稍作修改使的原本在高雜訊干擾下無法正確分類的問題成功解決，GHA 演算法可高速計算主成分特徵值供後續分群演算法進行運算，同時利用 FCM 演算法對於初始質心選取好壞不敏感的特性可獲得較佳的分類結果。為了減少硬體資源的消耗，GHA 架構中在計算調整不同組權重值時皆共享相同一塊計算電路，而 FCM 採用逐步增量計算權重係數與質量中心點，這可以避免原本需要大量儲存空間儲存權重係數矩陣所造成的空間消耗。因此，本論文所提出的架構同時擁有低 area cost 與高輸出產量的優點。加上採用 Network on chip(NOC)技術，使本論文之棘波分類系統執行速度大為提升。為了驗證本論文所提出的架構有效性，我們於現場可程式邏輯閘陣列 (Field Programmable Gate Array, FPGA)中實作出本架構並進行實際效能測試。實驗結果證明針對棘波分類本論文所提出的架構同時具有低判斷錯誤率、低 area cost 與高速計算的優點。

關鍵字: 可程式化系統晶片、棘波分類、主成份分析、GHA、FCM、FPGA、NOC
誌謝

首先，要非常感謝我的指導教授 黃文吉 教授，在碩士班求學期間對我不辭辛勞地指導，雖然我的程度不是那麼的好，但教授總是不厭其煩的教導我，讓我有機會去學習研究的方法，當我遇到難題時與我討論並引導我到正確方向，使得我在這段學習的時間獲得了許多的成長與寶貴的經驗，不單單是在學術研究上面，在做人處事上也給了我極大的幫助，在此獻上最誠摯的謝意。同時也感謝健行科技大學電子工程學系 歐謙敏 教授、國立台北科技大學電子工程學系 劉玉孫 教授特地撥空來參加我的碩士論文口試，並給予論文上的評閱與建議。

接著，很高興能在多媒體通訊暨系統晶片實驗室這個大家庭和大家一起學習成長。我要感謝我的同學：建廷、清志、國璿、任軒和翰逸，謝謝你們在我碩士生涯一同奮鬥以及給予幫助，另外也感謝可愛的學弟妹們：皓棠，一修，煥元，雅姿，光耀，思淮，羔祺，奇恩。在我的研究生活中給了不少幫助和實驗室的歡樂氣氛。

最後，要感謝我的家人以及關心我的朋友，有了你們的支持與鼓勵，才能讓我有勇氣去面對挑戰以及各種挫折與壓力，並且在最後能夠順利的完成學業。僅將此論文成果獻給所有關心我的人，希望大家與我分享這份喜悅與榮耀。
目錄

第一章 綱論
1.1 研究背景與動機目的
1.2 全文架構

第二章 基礎理論與背景介紹
2.1 GHA 演算法
2.2 FCM 演算法
2.3 GHA 與 FCM 於棘波分類之應用
2.4 GHA 與 FCM 電路架構簡介

第三章 系統架構
3.1 SOC 架構
3.2 NOC 架構
3.3 NOC-Based 棘波分類系統

第四章 實驗數據與效能比較
4.1 開發平台與實驗環境介紹
4.2 實驗數據呈現與討論

第五章 結論

參考文獻
附圖目錄

圖 2.1 棘波分類系統架構 ................................................................. 8
圖 2.2 GHA 單元之方塊圖 ............................................................ 9
圖 2.3 FCM 單元之方塊圖 ............................................................ 10
圖 2.4 Global 控制器單元運作流程圖 ........................................... 11
圖 3.1 共享匯流排圖示 ............................................................. 13
圖 3.2 NOC 架構圖 ................................................................. 15
圖 3.3 SOC 架構下的多核心系統示意圖 ......................................... 15
圖 3.4 NOC 架構下的多核心系統示意圖 ......................................... 15
圖 3.5 以 NOC 為基礎的棘波分類系統 ......................................... 17
圖 3.6 以 NOC 為基礎的棘波分類系統運作流程 ................................ 18
圖 4.1 Cyclone IV GX DK-DEV-4CGX150N 開發板 ................................ 19
圖 4.2 NOC 系統開發流程 .......................................................... 21
圖 4.3 來自不同神經元的棘波訊號(SNR=100，c=3，m=64) ...................... 25
圖 4.4 來自不同神經元的棘波訊號(SNR=10，c=3，m=64) ...................... 26
圖 4.5 來自不同神經元的棘波訊號(SNR=1，c=3，m=64) ...................... 26
圖 4.6 棘波主成分值投影至特徵平面上的散布圖(SNR=10，c=2，m=64) ...... 30
(a) 棘波分類正確結果 (b) FCM 分類結果 ..................................... 30
圖 4.7 棘波主成分值投影至特徵平面上的散布圖(SNR=1，c=2，m=64) ...... 31
附圖目錄

(a) 棘波分類正確結果  (b) FCM 分類結果................................. 31

圖 4.8 棘波主成分值投影至特徵平面上的散布圖(SNR=10, c=3, m=64)......... 32

(a) 棘波分類正確結果  (b) FCM 分類結果........................................ 32

圖 4.9 棘波主成分值投影至特徵平面上的散布圖(SNR=1, c=3, m=64)......... 33

棘波分類正確結果  (b) FCM 分類結果........................................ 33

圖 4.10 本論文之棘波分類系統在不同時脈下的執行時間.......................... 40

圖 4.11 本論文提出之電路與其他以 FPGA 實現特徵擷取的比較圖............ 41
附表目錄

表 4.1 Altera Cyclone IV GX EP4CGX150DF31 開發板規格表 ........................... 20

表 4.2 聚集各數為 2(c=2) 在不同維度(m) 及 SNR 下的分類正確率比較 ............... 24

表 4.3 聚集各數為 3(c=3) 在不同維度(m) 及 SNR 下的分類正確率比較 ............... 25

表 4.4 Spike sorting 在不同 SNR 下的軟體正確率(c=2) ................................. 27

表 4.5 Spike sorting 在不同 SNR 下的硬體正確率(c=2) ................................. 28

表 4.6 Spike sorting 在不同 SNR 下的軟體正確率(c=3) ................................. 28

表 4.7 Spike sorting 在不同 SNR 下的硬體正確率(c=3) ................................. 28

表 4.8 不同演算法則的棘波分類正確率(c=3，m=36) ..................................... 35

表 4.9 不同演算法則的棘波分類正確率(c=3，m=50) ..................................... 35

表 4.10 不同演算法則的棘波分類正確率(c=3，m=64) ..................................... 36

表 4.11 本論文之棘波分類系統面積複雜度 ......................................................... 37

表 4.12 本論文之棘波分類系統硬體資源消耗 ....................................................... 38

表 4.13 本論文之棘波分類系統在不同時脈下的執行時間 ................................. 39

表 4.14 本論文所提出之電路與其他以 FPGA 實現特徵擷取的比較 .................. 41

表 4.15 本論文提出之 FCM 電路與其他以 FPGA 為基礎的分群實現比較 ......... 42
第一章 緒論

本章節主要探討本論文的研究背景與動機、研究目的與方法，並簡單說明各章節的主要內容。

1.1 研究背景與動機目的

棘波(Spike)又稱作動作電位(Action Potential)，為細胞膜內鈉鈾離子變化所造成的電位差，而棘波序列(Spike train)則是由一連串神經元細胞所發出的動作電位訊號。一般是以透過植入體內的微電極探針來偵測訊號，而偵測到的訊號為探針周圍神經元細胞所發出的訊號總和，棘波分類就是將這些來自不同神經元發出的混合訊號加以區分出來，由於存在的背景雜訊以及周遭神經元的互相的訊號干擾，使的棘波分類成為一項困難的任務，典型的棘波分類演算法包含了特徵擷取和分類這兩部分[1]。棘波分類可應用在在腦機介面(Brain Machine Interface，BMI)[2]或是提供重症病患生活基本照顧等等應用下，如肢體障礙人士若想自由控制人工義肢的運動，此系統必須要有即時且快速計算棘波分類結果的能力，因為一般正常人操縱四肢軀幹神經元間的訊號傳遞大約都在數百個毫秒以內[3]此外，晶片大小、功率消耗以及散熱都必須在設計的考量範圍。

一個普遍的硬體設計做法是將電路設計於特殊應用積體電路(Application Specific Intergrated Circuit，ASIC)，但主要缺點是缺乏修改設計的方便性。目前也存在著許多現有的棘波分類演算法且不斷在被提出，因此，一個良好的棘波分
類系統要能滿足容易更新分類法則的需要。然而，ASIC 一旦生產便難以修改的特性，特別是需將該晶片植入大腦中，這使的 ASIC 難應用於棘波分類的領域當中。除此之外，高 NRE (Non-Recurring Engineering) cost 以及需要較長時間設計與驗證的特性也常限制了 ASIC 於 BMI 中的應用。

現場可程式化邏輯閘陣列 (Field Programmable Gate Array , FPGA) [4] 是一種有
efficient代替 ASIC 的硬體實現，相對於 ASIC，FPGA 提供了較低的 NRE cost，而 FPGA 可縮短研發時間且有更彈性，經過簡單的合成繞線佈局，可快速重複地燒錄至 FPGA 上進行測試，為現今 IC(Integrated Circuit)設計的主流，充分的提供棘波分
類法則於未來設計延伸時較高的彈性。

本論文根據 [5] 所提出之一個以 FPGA 為基礎的棘波分類硬體架構設計，具有低
功率消耗和即時運算的能力。此外，也修改了原本架構在高雜訊干擾下無法有效
正確分類的問題，此架構可擷取來源棘波訊號的特徵值，並將擷取到的特徵值加
以進行分類。特徵擷取的部分本論文採用 Generalized Hebbian Algorithm (GHA) [6，
7] 來進行高速運算。且將原本的 GHA 做修改，解決了在高雜訊干擾下無法有效
正確分類的問題。與傳統主成分分析法則 (Principal Component Analysis , PCA)相
比，GHA 有較高的效能因為避免了需要計算共變異數矩陣 (covariance matrix) 的
複雜過程。接著，獲得的棘波訊號特徵值會經由 Fuzzy C-Means (FCM)[8，9]演算法來分類。

為了實際驗證本論文之棘波分類硬體系統架構的有效性，本論文將在
第一章 緒論

Network-On-a-Chip (NOC)[10]平台上實作一套棘波分類系統。透過該平台所提供的大量元件配置與豐富的溝通管理介面可使整個硬體開發過程變得更加容易且更有彈性。而 NOC 平台中的軟核處理器 (softcore processor) 本身並不參與棘波分類的計算，它只負責控制 NOC 不同元件間的資料傳遞，也可以用來測量所提出之架構的計算時間。有別於傳統的 SOC (System on chip)，NOC 在棘波分類上有著更好的效能，最後，實驗結果也將證明本架構對於棘波分類有著較高的分類正確率、即時高速運算以及泛用性。
1.2 全文架構

本篇論文共分五個章節，以下為各章節之內容概述:

【第一章】緒論

說明本論文的研究背景、動機、目的、方法以及全文架構。

【第二章】基礎理論與背景介紹

對本論文所使用之演算法、理論基礎、技術背景以及如何運用至棘波分類系統
和其運作流程。

【第三章】系統架構

介紹本論文提出之以 NOC 技術實現棘波分類系統，並詳細說明 NOC 的發展、
工作原理以及架構與優點。

【第四章】實驗數據與效能比較

包括實驗環境說明、相關的實驗數據分析、軟硬體效能以及與其他現有演算法
架構做比較。

【第五章】結論

對於所提出之硬體架構與實驗結果進行總結。
第二章 基礎理論與背景介紹

本章節將介紹本論文所使用的基礎理論與技術背景，針對電路所使用之 GHA 與 FCM 演算法做說明，以及如何應用至棘波分類系統和運作流程。

2.1 GHA 演算法

令

\[
x(n) = [x_1(n), ..., x_m(n)]^T, n = 1, ..., t
\]

\[
y(n) = [y_1(n), ..., y_p(n)]^T, n = 1, ..., t
\]

分別為 GHA 第 n 筆輸入與輸出向量。而 m, p 以及 t 分別為向量維度、主成分個數、輸入與輸出向量個數。而輸出向量 y(n) 與輸入向量 x(n) 關係如下：

\[
y_j(n) = \sum_{i=1}^{m} w_{ji}(n)x_i(n)
\]

其中 w_{ji}(n) 代表第 n 次迭代過程中第 j 個神經元的第 i 筆突觸權重值。

令

\[
w_j(n) = [w_{j1}(n), ..., w_{jm}(n)]^T, j = 1, ..., p
\]

為第 j 筆突觸權重向量。每筆突觸權重向量 w_j(n) 根據赫賓學習法則 (Hebbian learning rule) 進行調整，如下：
第二章 基礎理論與背景介紹

\[ w_{j,i}(n + 1) = w_{j,i}(n) + \eta \left( y_j(n)x_i(n) - y_j(n) \sum_{k=1}^{j} w_{k,i}(n)y_k(n) \right) \] (5)

其中 \( \eta \) 為學習率。經過多次迭代計算調整後 \( w_j(n) \) 將趨近於輸入向量之共變異數矩陣的第 \( j \) 筆特徵值 \( \lambda_j \)。為了降低計算時的複雜度，公式(5) 可以改寫成公式(6)：

\[ w_{j,i}(n + 1) = w_{j,i}(n) + \eta y_j(n) \left( x_i(n) - \sum_{k=1}^{j} w_{k,i}(n)y_k(n) \right) \] (6)

更多關於 GHA 細節的討論可詳見 [6,7]。

2.2 FCM 演算法

令 \( F = \{ f_1, ..., f_t \} \) 為欲分類的訓練向量所形成的集合，\( t \) 為訓練向量的個數。

FCM 計算 \( v_i, i = 1, ..., c \)，並將 \( F \) 分成 \( c \) 個群集，其中 \( v_i \) 表示第 \( i \) 個叢集的質量中心點。FCM 目標為最小化公式(7)：

\[ J = \sum_{i=1}^{c} \sum_{n=1}^{t} u_{i,n}^2 \| f_n - v_i \|^2 \] (7)

\( u_{i,n} \) 為 \( f_n \) 對於 \( i \) 個叢集的權重係數。而 FCM 計算過程中公式(7) 被分成兩步驟迭代計算。第一步固定 \( v_1, ..., v_c \)，計算最佳權重係數矩陣 \( \{ u_{i,n}, i = 1, ..., c, n = 1, ... t \} \) 根據下式：

\[ u_{i,n} = \left( \sum_{j=1}^{c} \frac{\| f_n - v_i \|}{\| f_n - v_j \|} \right)^{-1} \] (8)

接著，固定權重係數矩陣，透過下列式子獲得新的質量中心點 \( v_i \)：

\[ v_i = \frac{\sum_{n=1}^{t} f_n u_{i,n}^2}{\sum_{n=1}^{t} u_{i,n}^2} \] (9)
反覆迭代計算至 $J$ 值收斂為止。

### 2.3 GHA 與 FCM 於棘波分類之應用

GHA 與 FCM 被用於擷取棘波特徵值與分類當中。而公式（1）$\mathbf{x}(n)$ 為第 $n$ 筆棘波。向量維度 $m$ 為每個棘波之取樣點個數。

令

$$
\mathbf{w}_j = [w_{j,1}, \ldots, w_{j,m}]^T, j = 1, \ldots, p
$$

為經由 GHA 訓練完成後的突觸權重向量。由這些已訓練完成之突觸權重向量 $\mathbf{w}_j, j = 1, \ldots, p$，依據下列式子 GHA 擷取訓練向量 $\mathbf{x}(n)$ 的特徵向量稱為 $\mathbf{f}_n$:

$$
\mathbf{f}_n = [f_{n,1}, \ldots, f_{n,p}]^T
$$

當

$$
f_{n,j} = \sum_{i=1}^{m} w_{j,i} x_i(n)
$$

為 $\mathbf{f}_n$ 中第 $j$ 個元素。而獲得的特徵向量集合 $F = \{f_1, \ldots, f_t\}$ 後續被當作 FCM 的訓練集合。當 FCM 按照 2.2 節所述訓練完畢後所獲得的質量中心點 $\mathbf{v}_1, \ldots, \mathbf{v}_c$ 會被用來將棘波訊號分類。而棘波訊號 $\mathbf{x}(n)$ 分類的結果可由下列判斷式獲得:

$$
i = \arg \min_{1 \leq j \leq c} d(\mathbf{f}_n, \mathbf{v}_j)
$$

其中 $d(\mathbf{f}_n, \mathbf{v}_j)$ 為 $\mathbf{f}_n$ 與 $\mathbf{v}_j$ 的距離平方差。
2.4 GHA 與 FCM 電路架構簡介

本論文之電路主要是引用論文[11]所設計之電路，針對棘波分類系統架構可分為三大單元，分別是 GHA 單元、FCM 單元以及 Global 控制器，GHA 單元被用來做特徵擷取，計算 \( w_j, j = 1, \ldots, p \) 及 \( f_n, n = 1, \ldots, t \)，接著 FCM 負責分群，FCM 單元會計算分類過後的質量中心點 \( v_j, j = 1, \ldots, c \) 供後續分類判斷使用，Global 控制器則是負責操控本架構中 GHA 與 FCM 電路的運作。圖 2.1 說明了此棘波分類架構。

![圖 2.1 棘波分類系統架構](image)

GHA 單元又可分為三部分：記憶體 (Memory) 單元、突觸權重更新 (Synaptic Weight Updating , SWU) 單元、主成分計算 (Principal Components Computing , PCC) 單元。GHA 有兩個運作模式：訓練模式、特徵擷取模式。訓練模式會依據
輸入的棘波訊號經由迭代計算後調整突觸權重值，而特徵擷取模式會計算出來源棘波訊號所對應的前兩筆主成分值。圖 2.2 即為 GHA 各單元的方塊圖。

而 FCM 單元架構中包含了六個子單元：pre-computation 單元、membership coefficients updating 單元、center updating 單元、cost function computation 單元、FCM memory 單元以及 FCM 控制單元。下圖 2.3 則是 FCM 電路的方塊圖。
最後，棘波分類電路利用 Global 控制器 (Global Controller) 來操控 GHA 與 FCM  
電路間的資料傳輸。圖 2.2 為由 Global 控制器來控制棘波分類系統的流程圖，輸入棘波訊號傳送至 GHA 電路訓練出權重向量，待訓練完畢後相同的棘波訊號再度被傳送至 GHA 電路當中計算出其特徵向量。直到 GHA 電路計算完所有特徵向量。
量後 FCM 電路才會被啟動，特徵向量由 GHA 電路一次傳送一筆至 FCM 單元中
訓練出新的質心，持續重複傳送相同的特徵向量，直到 FCM 訓練完畢，最後 FCM
單元訓練完成後所獲得的質量中心點將被用來分類棘波訊號。關於棘波分類的詳
細內部電路架構及運作情形可參見論文[11]

![流程圖](image)

圖 2.4 Global 控制器單元運作流程圖
第三章 系統架構

本章會詳細介紹本論文所提出之以 NOC(Network on chip)技術實現棘波分類硬體系統，將詳細介紹 NOC 的發展，工作原理，系統架構以及與傳統 SOPC 架構做比較。

3.1 SOC 架構

System on chip(SOC)[12]是將各式的功能模組整合在單一晶片中，也因此可以提升系統效能，降低功率消耗，縮小面積等優點。由於 IC 與半導體技術的快速發展，嵌入式電子產品的功能也越來越複雜，SOC 已漸漸的不能滿足需求，原因有以下幾點，可擴展性差，傳統 SOC 採用了匯流排(bus)結構，而該結構限制了可連接的資源數目，且 bus 的地址空間不能無限制的擴張。而 SOC 是使用共享匯流排(shared bus)的概念，如圖 3.2 所示，然而，當單一晶片上的功能與元件愈來愈多時並且需要大量的連線(interconnection)作為連接時，雖然匯流排可由多個元件(component)共享，但是一條 bus 無法支持一對以上的元件同時通訊，也就是所謂的專線專送。當一方以廣播方式傳送資料時，各端皆能接收到資料，但這也會讓不需要資料的元件也同樣接收到，這個狀況會造成系統資源上不必要的浪費。這種通訊方法為現在的通訊瓶頸，此架構不再符合現今需求，其擴展性受到了限制。除此之外，system on chip 可含有數量龐大的矽智財(Silicon IP; SIP)模組，而在匯
流排傳輸模式下，傳輸資料延遲、電路同步、雜訊和功率消耗的問題，均隨著製程縮小而需要大幅度改進。另一方面，當單一晶片內可擺放電晶體總數量急遽增加而愈來愈複雜時，芯片內部的通訊傳輸將影響芯片處理效率，傳統的匯流排傳輸已經漸漸地不敷使用。

圖 3.1 共享匯流排圖示
3.2 NOC 架構

由於傳統的SOC逐漸地不敷使用，新一代的技術NOC(Network on chip)被提了出來，NOC可以說是SOC的升級版、加強版。為了確保各個元件之間資料傳輸與訊號溝通的正確性，將網路封包傳輸概念應用於晶片上，以進行不同矽智財模組間的資料交換。這種將單晶片系統內部的傳輸介面轉換成由網路模式傳輸的方式及為NOC(Network-on-Chip)，NOC系統內通常包括IP cores、網路介面(Network interface，NI)、和路由器(Router)，圖3.2是NOC的基本架構圖[13]。

不同元件間的通訊採用以封包的方式，NI取代了以往的匯流排，其功能是將資料做壓縮與解壓縮以及建立起各元件之間的連線。Router在NOC當中是最重要的角色，可由某些特定的元件來當router，在NOC架構中並不侷限Router的個數，他能將封包化後的資料正確傳送到目的地。採用NOC架構各元件間可以獨立運作，傳遞資料也不像傳統SOC模式造成資源浪費，速度也能夠提升。除此此外，NOC對於實現多核心嵌入式系統也比傳統SOC具有良好的效能，如圖3.3、圖3.4所示SOC因為共用匯流排，同一時間只允許一個處理器存取，而記憶體存取速度遠遠超越處理器的處理速度，所以當處理器數目變多，整個系統的效率將會低下，而NOC架構則改善了這個問題，更適合多核心的系統開發。
第三章 系統架構

圖 3.2 NOC 架構圖

圖 3.3 SOC 架構下的多核心系統示意圖

圖 3.4 NOC 架構下的多核心系統示意圖
第三章 系統架構

本論提出以 NOC 技術之棘波分類系統是採用 Altera 公司提供的 Altera Quartus II 12.1 來開發，由 Qsys System[15]來建立此客製化系統，Qsys 為傳統 SOPC Build 的下一代系統開發工具，具有下列優點:

1. Faster development 使用方便的 GUI 介面提供給設計者，讓 IP 與子系統快速的整合，且能自動產生內部邏輯電路以及系統 HDL (Hardware Description Language)，也可將原本 SOPC Builder 設計移植到 Qsys 上。

2. Faster timing closure 基於 NOC 架構之 Qsys 高效能連接和自動管線化傳輸，其效能高出了傳統 SOPC Builder 互聯系統架構兩倍以上。

3. Faster verification 利用自動產生 testbench 的功能並使用通過驗證的 IP 套件能夠快速地開始模擬。
3.3 NOC-Based 棘波分類系統

本論文所提出之架構為建置在NOC系統中使用者客製化邏輯電路(custom user logic)系統中主要包含了NIOS CPU[16]、DMA(Direct Memory Access) controller和on-chip RAM，如圖3.5所示。使用NOC技術解決了傳統匯流排架構問題如通訊效率、延遲問題以及單一時脈同步化(single clock synchronization)[17]。在典型的棘波分類系統中，必須傳送輸入的棘波訊號、特徵向量和分類結果，因此，NOC對於本架構的傳輸速度和產能(throuput)能夠有效的提高。

![NOC系統示意圖](image)

**圖 3.5** 以 NOC 為基礎的棘波分類系統

如圖3.6所示，在典型的棘波分類系統中可分為三部分運作:棘波偵測，特徵擷取以及分類。Nonlinear energy operations (NEO)和thresholding可用於以NIOS軟體
第三章 系統架構

CPU上運作之軟體來實現棘波偵測，本論文所提出之架構為後兩者，也就是棘波偵測與特徵擷取的部分，在這兩部分，所有被偵測到的棘波訊號將儲存在on-chip RAM中然後再傳送至本論文提出之棘波分類電路，且利用DMA為基礎傳遞訓練資料可使得本系統對於記憶體存取的overhead最小化。在NOC中NIOS軟核CPU能協調不同的元件，也負責電路的運作和控制。最後，特徵擷取和分類的結果將存放在GHA和FCM電路中的記憶體單元供之後的操作。
第四章 實驗數據與效能比較

本章節將呈現本論文所提出的棘波分類系統硬體架構之正確性、實際效能量測與比較，以及實驗環境的介紹

4.1 開發平台與實驗環境介紹

本論文所提出的棘波分類硬體架構是以 Altera 公司所設計的 Cyclone IV GX EP4CGX150DF31 開發板，如圖 4.1 所示。其特點為低功率消耗以及低開發成本，非常符合棘波分類晶片的需求。同時，拜製程進步所賜 Cyclone IV FPGA 採用 65 奈米製程，使得功率消耗較以往 FPGA 降低約 30%。而利用 FPGA 可重複修改硬體電路設計與快速驗證的優點使得棘波分類晶片可以快速且容易的更新演算法則，同時低開發成本也使 FPGA 變得更具優勢。
第四章 實驗數據與效能比較

表4.1為本實驗開發板中所提供的相關硬體資源，也因其提供大量的硬體資源及與周邊元件豐富的溝通介面，使得使用者能將許多複雜的演算法則整合至開發板中，成為一套完整且獨立的嵌入式系統。

<table>
<thead>
<tr>
<th>Feature</th>
<th>Cyclone IV</th>
</tr>
</thead>
<tbody>
<tr>
<td>Device</td>
<td>GX EP4CGX150DF31</td>
</tr>
<tr>
<td>Process</td>
<td>65nm</td>
</tr>
<tr>
<td>LEs</td>
<td>149760</td>
</tr>
<tr>
<td>Embedded Memory(Kbits)</td>
<td>6480</td>
</tr>
<tr>
<td>18-bit x 18-bit Multipliers</td>
<td>360</td>
</tr>
<tr>
<td>User I/O</td>
<td>475</td>
</tr>
<tr>
<td>Transceivers</td>
<td>8</td>
</tr>
<tr>
<td>PLLs</td>
<td>8</td>
</tr>
<tr>
<td>Package Type</td>
<td>896-pin</td>
</tr>
</tbody>
</table>

表4.1 Altera Cyclone IV GX EP4CGX150DF31 開發板規格表

本論文使用 Altera Quartus II 12.1 版本搭配 Verilog 硬體描述語言進行設計與開發，由 Qsys System 建立客製化系統，於 Qsys 中加入 CPU、DMA-Controller、on-chip memory 及客製化電路(棘波分類電路)。並透過 Quartus II 提供的語法檢查、時序
第四章 實驗數據與效能比較

分析、邏輯元件的配置等強大功能，可以快速建立出系統架構，且藉著模擬信號的波型圖來驗證其正確性。同時，使用 Altera 公司也提供了以 Eclipse 為基礎的 NIOS II IDE 軟體供使用者使用，所有在系統中的軟體開發都可以在 NIOS II IDE 下完成，設計者需撰寫 C 語言程式碼，利用其所提供的應用程式、函式庫及驅動程式來與 FPGA 開發板溝通，加速 Qsys 系統的開發。圖 4.2 為 Qsys 系統開發流程圖。本論文除了使用 Verilog 來實作所提出之硬體電路架構外，也會以 MATLAB 軟體來來實現 GHA 與 FCM 演算法，並運作於 CPU Intel i7-930 當中，以相同的演算法則來和硬體電路架構的執行結果相互做比較。
第四章 實驗數據與效能比較

硬體實驗環境

Device: Altera Cyclone IV EP4CGX150DF31

CPU: NIOS II 1GHz

Memory: 128-MB DDR2 SDRAM

軟體實驗環境

Cpu :Intel®Core™ i7 CPU 930@2.61GHz

Memory: DDR III 8.0G

4.2 實驗數據呈現與討論

為了量測針對棘波分類本論文所提出的電路架構之實際效能，本論文採用由[18]所開發用來產生神經元訊號的模擬器做為測試棘波資料來源。該模擬器提供了各種不同的參數用來模擬各式各樣的不同的棘波活動情形，也因為該模擬器可針對許多環境變數進行設定，使得實驗結果能更進一步的進行分析與比較。本論文實驗將利用該模擬器產生出各種信噪比 (Signal-to-Noise Ratio, SNR)及干擾程度的棘波序列。

首先，我們先討論本論文所提出電路架構的分類正確率(Classification Correct
在各種SNR下的分類正確率，由表4.3可以看出，SNR的變化會明顯的影響分類正確率，隨著SNR的遞減，分類正確率也隨之下降，但訓練向量維度$m=36$、$m=50$或是$m=64$對於本論文提出之系統的分類正確率幾乎是類似，當SNR=1的情況下，正確率降至約為87%，圖4.3、4.4、4.5是由模擬器產生的一連串訊號後將其中棘波萃取出來的波形圖，叢集個數為3(c=3)該圖說明了相同棘波在各種不
同 SNR 下的波形情況。很明顯地隨著 SNR 數字的降低，代表著雜訊干擾愈來愈強，使的原本棘波波形被破壞，分類將變得更加困難，因此分類正確率會隨著 SNR 值越小而越低。所以，在 SNR 為 1 的雜訊干擾下仍能保有 87% 的分類正確率可說是有相當良好的效能。綜合上述所論可知本論文提出之棘波分類系統，並不局限於特定叢集個數 \( c \) 或是特定的維度 \( m \) 且在各種 SNR 下均能有著良好的分類正確率。

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td>( m=36 )</td>
<td>99.28%</td>
<td>99.34%</td>
<td>99.40%</td>
<td>99.40%</td>
<td>99.40%</td>
<td>99.58%</td>
</tr>
<tr>
<td>( m=50 )</td>
<td>99.39%</td>
<td>99.63%</td>
<td>99.45%</td>
<td>99.57%</td>
<td>99.82%</td>
<td>99.46%</td>
</tr>
<tr>
<td>( m=64 )</td>
<td>99.58%</td>
<td>99.63%</td>
<td>99.75%</td>
<td>99.88%</td>
<td>99.88%</td>
<td>99.88%</td>
</tr>
</tbody>
</table>

表 4.2 叢集各數為 2(\( c=2 \))在不同維度(\( m \))及 SNR 下的分類正確率比較
表 4.3 聚集各數為3(c=3)在不同維度(m)及SNR下的分類正確率比較

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td>m=36</td>
<td>88.92%</td>
<td>93.42%</td>
<td>95.40%</td>
<td>95.72%</td>
<td>96.09%</td>
<td>95.93%</td>
</tr>
<tr>
<td>m=50</td>
<td>88.49%</td>
<td>91.79%</td>
<td>95.02%</td>
<td>95.28%</td>
<td>96.46%</td>
<td>96.62%</td>
</tr>
<tr>
<td>m=64</td>
<td>87.62%</td>
<td>91.72%</td>
<td>94.52%</td>
<td>95.78%</td>
<td>96.74%</td>
<td>96.77%</td>
</tr>
</tbody>
</table>

圖 4.3 來自不同神經元的棘波訊號(SNR=100，c=3，m=64)
第四章 實驗數據與效能比較

圖 4.4 來自不同神經元的棘波訊號\(\text{SNR}=10, c=3, m=64\)

圖 4.5 來自不同神經元的棘波訊號\(\text{SNR}=1, c=3, m=64\)
第四章 實驗數據與效能比較

接下來將討論軟硬體在分類正確率上的比較，可得知本論文提出之硬體電路架構與軟體 Matlab 模擬中的差別，經由軟硬體的執行結果來做相互比較。在這邊我們所使用的輸入棘波訊號是經由模擬器產生 14 秒的棘波序列，取樣頻率為 24000 取樣點/每秒(m=64)做實驗，其中 \( t \) 為所有的棘波訊號，而 \( \tilde{t} \) 則是分類正確的棘波訊號数目。表 4.4、4.5、4.6、4.7 分別是是叢集個數(c=2 和 3 的軟硬體分類結果，由表可以看出其軟硬體分類正確率大致上是相同的，但其中還是有著些許的誤差，造成誤差的原因主要是軟硬體間精確度的問題，Matlab 所使用的是雙精度(double precision)，而硬體方面本論文對於 GHA 與 FCM 兩塊電路分別採用 17 bits 與 8 bits 定點數運算，由於軟硬體間的精度不同，造成執行結果有著些微的誤差。

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td>t</td>
<td>1651</td>
<td>1638</td>
<td>1621</td>
<td>1656</td>
<td>1662</td>
<td>1653</td>
</tr>
<tr>
<td>( \tilde{t} )</td>
<td>1644</td>
<td>1632</td>
<td>1617</td>
<td>1654</td>
<td>1660</td>
<td>1651</td>
</tr>
<tr>
<td>CCR</td>
<td>99.58%</td>
<td>99.63%</td>
<td>99.75%</td>
<td>99.88%</td>
<td>99.88%</td>
<td>99.88%</td>
</tr>
</tbody>
</table>

表 4.4 Spike sorting 在不同 SNR 下的軟體正確率(c=2)
第四章 實驗數據與效能比較

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>t</td>
<td>1651</td>
<td>1638</td>
<td>1621</td>
<td>1656</td>
<td>1662</td>
</tr>
<tr>
<td></td>
<td>t̄</td>
<td>1642</td>
<td>1632</td>
<td>1616</td>
<td>1650</td>
<td>1656</td>
</tr>
<tr>
<td>CCR</td>
<td>99.45%</td>
<td>99.63%</td>
<td>99.69%</td>
<td>99.68%</td>
<td>99.69%</td>
<td>99.81%</td>
</tr>
</tbody>
</table>

表4.5 Spike sorting 在不同 SNR 下的硬體正確率(c=2)

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>t</td>
<td>1850</td>
<td>1860</td>
<td>1842</td>
<td>1870</td>
<td>1873</td>
</tr>
<tr>
<td></td>
<td>t̄</td>
<td>1621</td>
<td>1706</td>
<td>1741</td>
<td>1758</td>
<td>1812</td>
</tr>
<tr>
<td>CCR</td>
<td>87.62%</td>
<td>91.72%</td>
<td>94.52%</td>
<td>95.78%</td>
<td>96.74%</td>
<td>96.77%</td>
</tr>
</tbody>
</table>

表4.6 Spike sorting 在不同 SNR 下的軟體正確率(c=3)

<table>
<thead>
<tr>
<th>SNR(dB)</th>
<th>1</th>
<th>2</th>
<th>4</th>
<th>6</th>
<th>8</th>
<th>10</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>t</td>
<td>1850</td>
<td>1860</td>
<td>1842</td>
<td>1870</td>
<td>1873</td>
</tr>
<tr>
<td></td>
<td>t̄</td>
<td>1612</td>
<td>1704</td>
<td>1740</td>
<td>1782</td>
<td>1805</td>
</tr>
<tr>
<td>CCR</td>
<td>87.13%</td>
<td>91.66%</td>
<td>94.46%</td>
<td>95.29%</td>
<td>96.36%</td>
<td>96.6%</td>
</tr>
</tbody>
</table>

表4.7 Spike sorting 在不同 SNR 下的硬體正確率(c=3)
第四章 實驗數據與效能比較

為了更進一步闡述本論文提出之 GHA 與 FCM 棘波分類的有效性，圖 4.6、4.7、4.8 及 4.9 詳細的表示叢集各數為 2 和 3(\(c=2, c=3\))向量維度為 64(\(m=64\))在 SNR=1 與 SNR=10 的雜訊干擾情況下，棘波序列經由 GHA 撷取出的特徵值散布情況，以及透過 FCM 計算出的質心與分群結果。在 SNR 為 1 的情況下，雜訊干擾顯著的強了很多，因此從投影至特徵平面上的散布圖來看，棘波訊號顯著的比較分散；相對的當 SNR 為 10，散布圖上面的點相較集中了許多，由圖 4.6、4.7、4.8 及 4.9 也能明確地看出本論文所提出之電路架構既使在強大的雜訊干擾下，仍能將輸入的棘波訊號正確的分類出來。
第四章 實驗數據與效能比較

圖 4.6 棘波主成分值投影至特徵平面上的散布圖(SNR=10, c=2, m=64)

(a) 棘波分類正確結果   (b) FCM 分類結果
第四章 實驗數據與效能比較

![圖 4.7 棘波主成分投影至特徵平面上的散布圖 (SNR=1, c=2, m=64)]

(a) 棘波分類正確結果  (b) FCM 分類結果
第四章 實驗數據與效能比較

圖 4.8 棘波主成分值投影至特徵平面上的散布圖(SNR=10dB, c=3, m=64)
(a) 棘波分類正確結果   (b) FCM 分類結果
第四章 實驗數據與效能比較

33

(a) 棘波主成分值投影至特徵平面上的散布圖 (SNR=1dB, c=3, m=64)

(b) FCM 分類結果

圖 4.9 棘波主成分值投影至特徵平面上的散布圖 (SNR=1dB, c=3, m=64)
棘波分類正確結果 (b) FCM 分類結果
接著，表4.8、表4.9、表4.10說明了本論文所提出之GHA與FCM電路架構與其他現有的各種演算法則在不同SNR下的分類正確率比較[18, 19, 20]，且針對輸入棘波訊號採用不同的向量維度，\( m=36(\text{Sample Rate}=13500) \), \( m=50(\text{Sample Rate}=18750) \)與\( m=64(\text{Sample Rate}=24000) \)做實驗。同樣的，由於分群演算法的結果會根據所選定的起始碼而有所不同，在這裡各種法則的分類正確都是執行40次後的平均值，明顯的可以看出本論文提出之GHA與FCM的棘波分類系統在不同雜訊干擾下的分類正確率優於其他各種法則。

由表4.8、表4.9、表4.10可知本論文提出之GHA與FCM電路架構在不同的取樣頻率下與各種法則相比，皆能有良好的分類正確率，由此可再次說明本論文提出之電路的通用性，並不需要針對特定的輸入訊號才能做出有效的分類。

與K-Means法則相比，FCM演算法在選擇初始質心有著較低的敏感度，避免了傳統K-Means容易落入局部最佳化的缺點。而且由表可知，K-Means在雜訊干擾程度較弱時，分類正確率反而較低。因此，表中可清楚看出以FCM為基礎的棘波分類演算法比以K-Means為基礎的分類演算法有著更高的分類正確率，然而在相同的分群演算法下(例如FCM)，GHA與PCA幾乎達到相同的效能，因此，本論文所提出結合GHA與FCM對於棘波分類是有效率的。
### 表 4.8 不同演算法則的棘波分類正確率 ($c=3, m=36$)

<table>
<thead>
<tr>
<th></th>
<th>Proposed</th>
<th>GHA+</th>
<th>PCA+</th>
<th>PCA+</th>
</tr>
</thead>
<tbody>
<tr>
<td>SNR=4db</td>
<td>95.40%</td>
<td>91.68%</td>
<td>94.40%</td>
<td>94.62%</td>
</tr>
<tr>
<td>SNR=6db</td>
<td>95.72%</td>
<td>89.32%</td>
<td>96.14%</td>
<td>89.14%</td>
</tr>
<tr>
<td>SNR=8db</td>
<td>96.09%</td>
<td>87.50%</td>
<td>96.06%</td>
<td>88.34%</td>
</tr>
<tr>
<td>SNR=10db</td>
<td>95.93%</td>
<td>83.67%</td>
<td>95.94%</td>
<td>98.30%</td>
</tr>
</tbody>
</table>

### 表 4.9 不同演算法則的棘波分類正確率 ($c=3, m=50$)

<table>
<thead>
<tr>
<th></th>
<th>Proposed</th>
<th>GHA+</th>
<th>PCA+</th>
<th>PCA+</th>
</tr>
</thead>
<tbody>
<tr>
<td>SNR=4db</td>
<td>95.02%</td>
<td>95.93%</td>
<td>95.01%</td>
<td>91.90%</td>
</tr>
<tr>
<td>SNR=6db</td>
<td>95.28%</td>
<td>89.68%</td>
<td>96.58%</td>
<td>89.92%</td>
</tr>
<tr>
<td>SNR=8db</td>
<td>96.46%</td>
<td>88.01%</td>
<td>95.15%</td>
<td>87.65%</td>
</tr>
<tr>
<td>SNR=10db</td>
<td>96.62%</td>
<td>88.24%</td>
<td>95.98%</td>
<td>89.22%</td>
</tr>
</tbody>
</table>
第四章 實驗數據與效能比較

<table>
<thead>
<tr>
<th></th>
<th>Proposed</th>
<th>GHA+</th>
<th>PCA+</th>
<th>PCA+</th>
</tr>
</thead>
<tbody>
<tr>
<td>SNR=4db</td>
<td>94.52%</td>
<td>93.77%</td>
<td>94.08%</td>
<td>91.95%</td>
</tr>
<tr>
<td>SNR=6db</td>
<td>95.78%</td>
<td>94.35%</td>
<td>95.72%</td>
<td>93.53%</td>
</tr>
<tr>
<td>SNR=8db</td>
<td>96.74%</td>
<td>96.74%</td>
<td>96.69%</td>
<td>96.74%</td>
</tr>
<tr>
<td>SNR=10db</td>
<td>96.77%</td>
<td>89.74%</td>
<td>96.72%</td>
<td>90.97%</td>
</tr>
</tbody>
</table>

表 4.10 不同演算法則的棘波分類正確率(c=3, m=64)
本論文之硬體電路除了擁有高分類正確率，同時也保有低面積複雜度，由於加法器、乘法器與暫存器為 GHA 與 FCM 電路架構中的基本區塊，表 4.10 將說明本電路的面積複雜度。針對這三個部分(加法器數量、乘法器數量、暫存器數量)來分別做比較，從表 4.11 可以看出加法器與乘法器的數量與主成分個數 $p$ 以及每個區塊包含的元素 $q$ 呈線性成長關係，與向量為度 $m$、叢集個數 $c$ 以及訓練向量個數 $t$ 無關。由於棘波分類電路須存放來源棘波訊號、突觸權重向量以及特徵向量，因此暫存器數量將與 $p, m, c, t$ 呈線性成長。

<table>
<thead>
<tr>
<th></th>
<th>GHA</th>
<th>FCM</th>
<th>Total</th>
</tr>
</thead>
<tbody>
<tr>
<td>Adders</td>
<td>$O(q)$</td>
<td>$O(p)$</td>
<td>$O(p + q)$</td>
</tr>
<tr>
<td>Multipilers</td>
<td>$O(q)$</td>
<td>$O(p)$</td>
<td>$O(p + q)$</td>
</tr>
<tr>
<td>Registers</td>
<td>$O(pm + pt)$</td>
<td>$O(pc)$</td>
<td>$O(p(m + t + c))$</td>
</tr>
</tbody>
</table>

表 4.11 本論文之棘波分類系統面積複雜度

表 4.12 為棘波分類硬體電路在 $p=2$, $m=64$, $c=3$ 與 $t=800$ 時的硬體資源消耗。本實驗設計於 Altera Quartus II with Qsys，所使用的 FPGA 開發板為 Altera Cyclone IV EP4CGX150DF31C7，其中我們顯示了三種不同資源的比較分別是 Logic
Elements (LEs)、embedded multiplier 以及 memory bits。

其中，LEs 在 GHA 與 FCM 電路架構中被用來實現加法器、乘法器與暫存器，
而 Logic Elements (LEs)、embedded multiplier 以及 memory bits 則被用來實現 NOC
系統中的 NIOS CPU，然後 GHA 與 FCM 中的乘法器則以 embedded multiplier 來
實現，於本實驗的 FPGA 開發板中擁有 149760 個 LEs、720 個 embedded multiplier
和 663520 個 memory bits。從表 4.12 可看出單獨本電路架構所消耗的硬體資源，
本論文所提出之電路在硬體資源上消耗的並不多，而且，在電路架構加入 NOC
後硬體資源消耗僅微幅成長，因此本論文所提出之電路架構可說具有充分的延伸
性與可調整性。

<table>
<thead>
<tr>
<th></th>
<th>GHA</th>
<th>FCM</th>
<th>Spike Sorting</th>
<th>Entire</th>
</tr>
</thead>
<tbody>
<tr>
<td></td>
<td>Circuit</td>
<td>Circuit</td>
<td>Circuit</td>
<td>NOC</td>
</tr>
<tr>
<td>Logic</td>
<td>15688</td>
<td>4468</td>
<td>22582</td>
<td>31018</td>
</tr>
<tr>
<td>Elements</td>
<td>(10.48%)</td>
<td>(2.98%)</td>
<td>(15.08%)</td>
<td>(20.71%)</td>
</tr>
<tr>
<td>Embedded</td>
<td>128</td>
<td>23</td>
<td>151</td>
<td>155</td>
</tr>
<tr>
<td>Multiplier</td>
<td>(17.78%)</td>
<td>(3.19%)</td>
<td>(20.97%)</td>
<td>(21.53%)</td>
</tr>
<tr>
<td>Memory bits</td>
<td>63488</td>
<td>113520</td>
<td>193444</td>
<td>1050380</td>
</tr>
<tr>
<td></td>
<td>(0.96%)</td>
<td>(1.71%)</td>
<td>(2.91%)</td>
<td>(15.83%)</td>
</tr>
</tbody>
</table>

表 4.12 本論文之棘波分類系統硬體資源消耗
本論文所提出的 Network on chip 之棘波分類硬體系統有別於傳統的 SOPC(System-on-a-Programmable-Chip)，在執行速度上有著高速計算的優點，表 4.13 說明了本電路架構在各種不同時脈下的執行時間，而軟體方面則是在 Intel I7 處理器於 2.61GHz 時脈下執行，其執行時間也將納入表中與硬體相互比較。在本實驗中的輸入的棘波訊號數目為 800，而 GHA 的訓練次數是 100，FCM 執行次數則是 10 次，由表 4.13、圖 4.10 可看出基於 NOC 的棘波分類系統，能夠運作在高達 1GHz 的時脈下，而且 GHA 及 FCM 的執行時間也隨著時脈上升呈現著線性下降。當時脈調整到 1GHz 的情況下，本論文之電路系統總共執行時間只需 1.99 毫秒；相反在 Intel I7 處理器下執行需花費 193.18 毫秒。本論文所提出之硬體系統比起軟體的執行時間快了 97.08 倍。由此可見本論文提出之棘波分類系統有著相當好的執行速度。

<table>
<thead>
<tr>
<th>Implementation</th>
<th>NOC-based Spike Sorting</th>
<th>Software Spike Sorting</th>
</tr>
</thead>
<tbody>
<tr>
<td>Processor</td>
<td></td>
<td>Intel I7</td>
</tr>
<tr>
<td>Clock Rate</td>
<td>50MHz 200MHz 400MHz 600MHz 800MHz 1GHz 2.61GHz</td>
<td></td>
</tr>
<tr>
<td>GHA(ms)</td>
<td>35.60 8.92 4.46 2.97 2.23 1.78 131.38</td>
<td></td>
</tr>
<tr>
<td>FCM(ms)</td>
<td>4.17 1.05 0.52 0.35 0.26 0.21 11.80</td>
<td></td>
</tr>
<tr>
<td>Total(ms)</td>
<td>39.77 9.97 4.98 3.32 2.49 1.99 193.18</td>
<td></td>
</tr>
</tbody>
</table>

表 4.13 本論文之棘波分類系統在不同時脈下的執行時間
第四章 實驗數據與效能比較

4.10 本論文之棘波分類系統在不同時脈下的執行時間

![圖4.10 本論文之棘波分類系統在不同時脈下的執行時間](image)

表4.14 我們將比較本論文所提出之GHA電路與其他特徵擷取的FPGA硬體實作[19, 21]之area costs與throughput，該表中產能(throughput)定義為每秒鐘可通過電路的輸入訓練向量總數，由表4.8可以明顯看本論文之GHA架構可達到高clock rate與throughput。事實上，本論文架構之throughput比[19]高出28.125倍(4.50 x 10^7 vs. 1.60 x 10^6)，也比[21]多了16.3倍(4.50 x 10^7 vs. 2.75 x 10^6)。為了方便觀察，我們將表4.13繪製成圖4.11以利觀察本論文之電路優於其他架構。

我們所提出的演算法有著優越的效能，因為是基於位移暫存器來儲存權重向量及輸入向量得以高速計算，此外，由於運用NOC，本論文提出之電路也能夠連接
軟體的 NIOS 處理器運算在高速的 clock rate 下。

<table>
<thead>
<tr>
<th>Arch</th>
<th>FPGA Device</th>
<th>Logic cells or LEs</th>
<th>DSP elements or Multipliers</th>
<th>Embedded Bits</th>
<th>Max. Clock rate</th>
<th>Throughput</th>
</tr>
</thead>
<tbody>
<tr>
<td>Proposed</td>
<td>Altera Ep4CGX150</td>
<td>15655</td>
<td>128</td>
<td>63488</td>
<td>1GHz</td>
<td>$4.50 \times 10^7$</td>
</tr>
<tr>
<td>GHA Arch in [19]</td>
<td>Xilinx Virtex6 xc6Vsx315T</td>
<td>121610</td>
<td>12</td>
<td>0</td>
<td>100MHz</td>
<td>$1.60 \times 10^6$</td>
</tr>
<tr>
<td>GHA Arch in [21]</td>
<td>Altera Cyclone Iv Ep4CGX150</td>
<td>9144</td>
<td>432</td>
<td>63488</td>
<td>50M Hz</td>
<td>$2.75 \times 10^6$</td>
</tr>
</tbody>
</table>

表 4.14 本論文所提出之電路與其他以 FPGA 實現特徵擷取的比較

![圖 4.11 本論文提出之電路與其他以 FPGA 實現特徵擷取的比較圖](image-url)
最後，表 4.15 顯示了在不同叢集各數實作下的 area cost 和 throughput，表中產能 (throughput)也定義為每秒鐘可通過 FCM 電路架構的輸入訓練向量總數，此 FCM 架構[22]僅實現了兩個叢集 (c=2)，與此相反，本論文所提出之電路實現了三個叢集 (c=3)，由表 4.15 可看出兩者電路架構卻消耗了差不多數量的 LEs。除此之外，本論文所提出之架構與 FCM 電路架構[22]相比有著更高的 throughput，這些事實將證明本論文所提出之硬體電路架構在棘波分類上有著較高的效率及明顯的優勢。

<table>
<thead>
<tr>
<th>Arch.</th>
<th>FPGA Devices</th>
<th>Logic Cells or LEs</th>
<th>DSP elements or Multipliers</th>
<th>Embedded Bits</th>
<th>Max. Clock Rate</th>
<th>Throughput</th>
</tr>
</thead>
<tbody>
<tr>
<td>Proposed FCM Arch.</td>
<td>Altera Cyclone IV EP4CGX150</td>
<td>4468</td>
<td>23</td>
<td>113520</td>
<td>1GHz</td>
<td>$3.38 \times 10^7$</td>
</tr>
<tr>
<td>FCM Arch. In[22]</td>
<td>Altera ACEX 1K EP1K100FC484</td>
<td>4205</td>
<td>0</td>
<td>24576</td>
<td>NA</td>
<td>$3.2768 \times 10^6$</td>
</tr>
</tbody>
</table>

表 4.15 本論文提出之 FCM 電路與其他以 FPGA 為基礎的分群實現比較
第五章 結論

近幾年來，人們對於大腦活動情形的研究與應用可說是越來越熱門，各領域針對腦波訊號處理的相關研究也日益漸增。本論文於 FPGA 中實現一套棘波分類系統，由於採用 NOC 架構，使得運算時間大幅縮短，根據第四章的實驗結果顯示，本論文所提出之架構在分類正確率，計算速度都有很大的優勢，且本電路架構並不侷限在特定的參數，於不同的雜訊干擾或棘波種類都能有著良好的效能與效率，說明了本架構之泛用性。

總結來說，本論文所提出以 NOC 技術實現棘波分類系統之電路架構對於該領域是有其助益的，使用 FPGA 的實現方式，讓本系統擁有低功率消耗、高可攜性以及即時運算的優點，與其他法則相比，也具有相當的優勢，且有著充分的延伸性與可調整性，對於未來針對棘波訊號的研究也有很大的幫助，此棘波分類系統架構於實際應用與學術研究方面都很有價值，因此本論文所設計之架構確實是有其需求且有效率的電路架構。
参考文献


8. S. Miyamoto, H. Ichihashi, and K. Honda, Algorithms for Fuzzy Clustering,


11. 李偉豪, 應用於棘波分類之硬體架構實現, 國立台灣師範大學資訊工程研究所, 2012


   online: http://www.altera.com/literature/lit-sop.jsp


14. 周凱楓, 晶片網路多核心處理器之模擬器設計與實現, 國立成功大學資訊工程學系, 2007


