國立台灣師範大學光電科技研究所

碩士論文

矽量子點光檢測器之研究 Studies of Silicon Quantum Dots Photodetectors

指導教授:胡淑芬 教授

研究生:廖庭維 撰

中華民國九十七年六月

在本篇論文中,提供一種具多重奈米量子點檢測光子之光電子元件,藉 由"重複堆疊結構"形成矽量子點與穿透接面,做為光檢測器之檢測構件, 進而製作出矽量子點光檢測器。

在光檢測之實驗中,將針對奈米級光檢測器元件結構做光電效應特性之 量測,利用不同波長之光源照射至矽量子點,藉由矽量子點扮演光轉換為 電之主要角色,量測結果顯示,此元件吸收光源進而產生光電流之轉換效 率非常高,具有高敏感與非常靈敏之光切換特性,並且元件本身之雜訊與 暗電流特性都非常低。另外,經過長時間之光檢測實驗測量之後,其光電 效應之特性也不會改變。元件在不同波長(300 nm~1000 nm)之光源照射下, 所得量子效率與光響應度非常高。因此,針對量測結果,進一步分析元件 中光子與電子間主要之交互作用,即探討半導體矽量子點光檢測器之主要 工作原理與其影響。



Abstract

In this study, we fabricated a nano device formed by plurality of artificial quantum dots and tunneled junctions, which served as a detection element of photodetector.

In the experiments, the characteristic analysis of the photoelectric effect of optoelectronic devices, when it is play a main role in silicon quantum of the photodetector, which can transform an optic signal to an electric signal, and illuminate the light source of different wavelength, Experiment in the light examination, will aim at the detector part structure to make gauging the photoelectric effect characteristic. Silicon quantum dots play the main role of transform an optic signal to an electric signal by different wave length of illumination. The gauging results demonstrated, the device absorbed photo-energy then transfer the energy to high efficiency photoelectric current. Our device has stable and high sensitively, fast switches over the characteristic, and the device noise and dark current characteristic are all very low. Moreover, after passes through light of examination experiment the long time surveys, characteristic of its photoelectric effect cannot change. Under the different wave length (300 nm ~ 1000 nm) illumination, the obtained quantum efficiency and light responsiveness is extremely high. Therefore, in view of the gauging result, further analyzes in the part between the photon and the electron the main correlation, if namely discusses the semiconductor vs. quantum light detector the prime task principle to affect.

誌 謝

首先感謝我的指導教授 <u>胡淑芬</u>博士,於碩士班兩年期間給予我 細心的指導與諄諄教誨,給我許多實驗上寶貴的經驗與建議,並循序 漸進地指引我論文的方向,使本論文得以順利完成,並且讓我在這兩 年的研究生涯學習到很多的東西,不僅讓我學習到作實驗該有的態度, 也讓我學會並了解許多待人處事的原則與方法。此外,亦感謝口試委 員<u>黃昭淵</u>教授、<u>林吉聰</u>教授、<u>李敏鴻</u>教授以及<u>胡淑芬</u>教授給我的寶貴 建議和指教,使本論文能更為完備。

接著我要特別感謝美商安捷倫公司的<u>黃室森</u>先生與中央研究院 物理所的<u>陳啟東</u>教授,提供了貴重的設備儀器讓我使用,而讓我的實 驗更加完整,並且感謝 NDL 的<u>巫振榮</u>工程師以及中央研究院物理所 的學長<u>林銘洲、巫英賓、李固賓</u>,謝謝他們在實驗上的指導與幫忙, 好讓我盡快的完成我的實驗。

最後,我要將此篇論文獻給我的父、母親與姊姊,在這段期間內, 他們在物質上與精神上的辛苦支持著我,提供我衣食無虞的環境,使 我在生活上不虞匱乏,並無時無刻的關心,予以鼓勵,使我得以完成 碩士學位。

另外我要感謝本先進材料與元件實驗室的同學<u>成基、柏源</u>與學弟 們<u>庭宇、俊琪、友聖、佳靈、昌學、靖揚</u>,他們的幫忙與協助,以及 感謝我的好朋友<u>宗倫、倫賢、東錦、逸傑、柏男</u>,給我生活上娛樂的 支援,讓我生活更為有趣。還有我要感謝我的女朋友<u>于真</u>,讓我的生 活更加充實與多采多姿,也感謝她給予我心靈與精神上的支持與鼓勵, 好讓我更有信心朝我的目標邁進。

在此,真的謝謝你們。



庭維 敬上

目錄

目錄	•••••••••••••••••••••••••••••••••••••••	I
表目	禒	IV
圖目	錄	.v

序 章 論文結構介紹	1
第一章 簡介 (Introduction	2
1.1 矽基(Si-based)於光電元件之發展沿革	4
1.2 奈米科技	5
1.2.1 奈米材料之簡介	5
1.2.2 奈米材料分類與特性	7
1.2.3 零維奈米材料之簡介	10
1.2.4 奈米材料之應用	11
1.3 本研究之動機	12
1.4 本研究之目的	13
第二章 原理 (Principle)	14
2.1 光檢測器之工作原理	15
2.2 光子與電子之間之基本交互作用	16
2.2.1 輻射轉換	16
2.2.2 光的吸收	18
2.3 光檢測器之電流機制	19

2.3.1 光電流 (photo current)	19
2.3.2 暗電流 (dark current)	21
2.3.3 雜訊電流 (noise current)	22
2.4 量子效率(quantum efficiency)與光響應度(Responsivity)	22
2.5 奈米尺寸之量子效應	23
2.5.1 量子侷限效應(Quantum Confinement Effect, QCE).	23
2.5.2 能帶結構之改變(間接能隙改變為直接能隙)	25
第三章 製程 (process)	27
3.1 元件結構與光罩設計	27
3.1.1 元件結構設計	27
3.1.2 光罩佈局與設計	31
3.2 元件製作步驟	37
3.2.1 元件第一道步驟	37
3.2.2 元件第二道步驟	38
3.2.3 元件第三道步驟	39
3.2.4 元件第四道步驟	39
3.2.5 元件第五道步驟	39
3.3 製程原理	41
3.3.1 晶圓清洗製程	41
3.3.2 氧化以及熱處理製程	43
3.3.3 沉積製程	44
3.3.4 微影製程	46
3.3.5 蝕刻製程	50
3.3.6 SEM 規格設備	53
第四章 量測與分析(Measurement and Analysis)	55

4.1	量測	儀器之架設	55
	4.1.1	使用之設備儀器	55
	4.1.2	光電效應等特性之量測步驟與方法	57
	4.1.3	光電效應等特性之電性量測儀器設定	58
4.2	量測	結果與分析	61
4.3	理論	計算	71
第五	章	告果與討論(Result and Discussion)	74
第五 5.1	运章 約 結論	結果與討論(Result and Discussion)	74 74
第五 5.1 5.2	章 約 結論 未來	結果與討論(Result and Discussion) 工作	74 74 76
第五 5.1 5.2 參考	章 結論 未來 文獻	結果與討論(Result and Discussion) 工作	74 74 76 77



表目錄

表	3-3-3	LPCV	D低	壓高溫系	統標準	製程表			47
表	3-3-4	為製作	NEB	與 DSE	之製程	呈條件	• • • • • • • • • • • •	• • • • • • • • • • • • • •	
表	4-1-3(I)(a)	為量>	則端設定	方式		• • • • • • • • • • •		58
表	4-1-3([)(b)	為量	測端電壓	掃描範	圍與限	、流之韵	定	59
表	4-1-3(∏)(a)	為量活	則端設定	方式		• • • • • • • • • •		59
表	4-1-3(∏)(b)	為量	測端電壓	掃描範	圍與限	、流之韵	定	60
表	4-1-3(∏)(c)	為量活	則端時間	掃描範	圍	• • • • • • • • • •		61
表	4-2-9	為對不	同數量	量之量子	點作光	源檢測	實驗之	計算結:	果72
表	4-3 為	不同波	長光》	原照射下	之量測	與計算	結果	•••••	73



圖目錄

第一章

圖 1-1 為奈米材料之分類5
圖 1-2 為不同維度奈米材料之能階分布7
第二章
圖 2 為矽塊體材料之能量(E)與動量(k)關係15
圖 2-1(a) 為量子點光檢測器之基本操作原理16
圖 2-1(b) 為矽量子點吸收光子能量之後,使得電子在矽量子點間共
振穿隧,最後產生光電流輸出之示意圖16
圖 2-2-1(a) 在兩個能階之間之吸收過程17
圖 2-2-1(b) 在兩個能階之間之自發放射過程18
圖 2-2-1(c) 在兩個能階之間之誘發放射過程18
圖 2-2-2 為光的吸收19
圖 2-3-1 為由光檢測器所產生之光電流機制
圖 2-3-2 為由量子點所產生之暗電流機制
圖 2-5-1 (a) 當材料由 3 維塊材縮小為 1 維量子點時,其波函數將受 到侷限
圖 2-5-1 (b) 原三維塊材之能態密度為連續,而於低維度(二維變為
零維)時受到量子點侷限效應的結果25

第三章

圖 3-1-1 (a)	為量子點元件結構剖面圖28
圖 3-1-1 (b)	為量子點元件結構立體圖29
圖 3-1-1 (c)	為量子點元件結構平面圖29
圖 3-1-1(d)	為量子點元件層狀結構示意圖
圖 3-1-2 為	光罩佈局圖
圖 3-1-2 (a)	為第一道光罩,定義元件 Source 端
圖 3-1-2 (b)	為第二道光罩,定義元件主動區35
圖 3-1-2 (c)	為第三道光罩,定義 Drain 端
圖 3-1-2 (d)	為第四道光罩,定義 Drain、Source 端的接觸窗36
圖 3-1-2 (e)	為第五道光罩,定義金屬層
圖 3-2-5 (a)	為元件連接至外部電極之連接線圖40
圖 3-2-5 (b)	元件完整俯視圖40
圖 3-3-1 清	洗蝕刻工作台41
圖 3-3-4 光	阻塗佈與顯影工作台48
圖 3-3-5 為	乾式蝕刻機
圖 3-3-6 為会	金屬蝕刻系統
圖 3-3-7 為	線上電子顯微鏡儀器53

第四章

圖 4-1-1(a) 光電效應等特性之整體量測儀器架設56	
圖 4-1-1(b) 為 Coax cable 與 Triax cable 之結構示意圖56	
圖 4-1-3 為量測端設定 VAR1 之掃描方式58	
圖 4-2-1 顯示矽量子點於黑暗中(black line)與照射於單一波長 580	
nm 強度為 101.7 μ W 之光源之下所取得之電流-電壓(I-V)	
特性(red Line)62	

圖 4-2-2 顯示矽量子點於暗電流 (black line)與照射以單一波長 580

nm 之光源照射之下, 並控制照射強度分別為 101.7 μW、

110.8 μW、125.4 μW,所得到之電流-電壓(I-V)特性.....63

圖 4-2-3 顯示矽量子點之暗電流(black line)與照射於單一波長 580

nm 之光源, 並調控所照射強度分別為 101 μW, 125 μW,

178 μW, 290 μW, 396 μW, 498 μW 以及 618 μW, 所

得之電流-電壓(I-V)特性......64

圖 4-2-4 顯示矽量子點之暗電流(dark line)與於單一波長 580 nm 強度

為 396 µW 之光源照射下之光電流(red Line), 並以手動情

況下每5秒可逆之切換ON/OFF光源所得之電流對電壓(I-

圖 4-2-5(a) 顯示矽量子元件之暗電流 (black line)與於色溫為 5500K 之白光 LED 照射下之光電流(red line),以及每 5 秒可逆

之切換光源 ON/OFF 之電流-電壓(I-V)特性(green line).66

圖 4-2-5(b) 顯示矽量子點於黑暗中(black line)與於色溫為 5500K 之 白光 LED 照射下之光電流(red line),以及量測處於手動

之情況下每5秒可逆的切換 ON/OFF 光源,所量測得到

之電流-電壓(I-V)特性(green line).......66

圖 4-2-5(c) 顯示矽量子點元件之暗電流 (black line)與色溫為 5500K

之白光 LED 照射下,調控照光強度分別為 0.5 mW, 1.0

mW, 1.5 mW and 2.0 mW,所得到之電流-電壓(I-V)特性

圖 4-2-6 矽量子點元件於黑暗中與於色溫為 5500K 之白光 LED 照射

下,改變掃描偏壓分別為 200 mV, 300 mV, 400 mV, 所量

测得到之電流-時間(I-T)特性......68

圖 4-2-7(a)~ 4-2-7(d) 顯示矽量子點元件之黑電流(black line)與於不

同之波長(紅光 628 nm、橘光 593 nm、綠光 527

nm、藍光 472 nm)照射下之光電流(red Line),

以及每5秒手動切換ON/OFF 光源之 I-V 曲線

(green line).....69&70

圖 4-2-8 為加入計算有效元件檢測面積之響應度與波長作圖.......71



序章 論文結構介紹

本論文研究是以藉由矽量子點扮演光轉換為電的主要角色,並設計出奈 米級光檢測器元件結構,進一步的做光電效應特性之分析與量測。

第一章簡介將介紹矽基(Si-based)於光電元件之發展沿革,以及介紹奈 米科技之相關議題,並進一步探討本研究之動機與目的。

第二章原理將介紹光檢測器基本之工作原理,以及分析檢測結構中光電 轉換之物理機制,並進一步提出矽基光檢測器之可能發展與應用。

第三章製程將介紹使用目前最熱門的微影技術(lithography) "E-Beam" 讀寫技術來定義出光罩,並進一步介紹元件結構之整體製作流程與相關儀 器設備之使用原理與說明。

第四章量測與分析將介紹量測儀器的架設與量測環境雜訊干擾之排除, 並且進一步對此奈米級矽量子點元件結構做光電效應等特性之量測,以及 進一步分析光產生電流的能力與探討光子與電子之間主要之交互作用,即 討論半導體矽量子點元件主要工作原理及其影響。

第五章結果與討論將對本論文之研究作總結與討論未來研究工作之目 標與展望,並探討未來應用之目標。

第一章 簡介(Introduction)

前言

長久以來,半導體元件的市場大多由矽晶片所主導,另一小部分市場則 由化合物半導體主導。龐大的市場推動了矽元件技術之急遽進步,然而所 有之應用卻集中於電性元件上,光元件之部分付之闕如。而化合物半導體 雖然只佔有少數市場,卻主宰了整個光電元件與高頻元件之領域。此乃因 化合物半導體擁有直接能隙與高載子遷移率,能製作出高效率發光與高速 元件。然而利用已發展成熟的矽半導體製程來生產光電元件,將開啟光電 產業另一扇大門,此乃源於矽晶片製作係使用高密度化整合積體電路之技 術,所以單一元件的製作成本低,若利用此一優勢整合光元件與電元件, 將有體積小,密度高且有即時運算之能力,將使得光電元件價格下降,提 高普及率。所以學術界開始討論將收發光元件與矽 IC 整合成光電積體電路 之可行性。

近年來,半導體製程技術的不斷的進步,而元件結構也不斷地微小化, 對於微小尺度之掌控能力之需求也越來越高,致使元件尺寸進入奈米之尺 度,面對這樣的發展趨勢,奈米尺度之技術便成為往後發展的重點,所製 作出的奈米光電元件具有新的物理特性,也已展現了重要的應用潛力。因 此,奈米科技便成為現今科學研究發展之熱門領域,不論是基礎科學或是 應用科學,包括物理、化學、材料、光電、生醫等方面,奈米科技都為其

帶來極大之影響。而在產業方面,從民生消費性產業至尖端的高科技領域, 也都可找到與奈米科技相關之應用。

當材料之尺寸大小已微細化至奈米等級時,其物理、光電特性與傳統的 塊體材料(bulk material)具極大之差異性。例如,常見的低維度半導體奈米 結構,二維之量子井(quantum well)、一維之量子線(quantum wire)與零維之 量子點(quantum dot)。其中以奈米晶體的方法來製作光電元件是因為量子點 結構將改變物質原本之能帶結構與光電特性,所以對量子點演變之研究是 有其必要性。要將量子點光電元件整合至矽基材中,首要必備條件是埋於 介電層的奈米晶體(nanocrystal)大小要均勻、高密度以及直徑小於十個奈米 。然而量子點為一奈米晶體,直徑於數個~數十奈米,因晶粒體積很小, 故量子點內具三維之能量屏障,即「量子侷限效應」,而電子受到量子侷限 效應之結果,將使得原本連續之能帶結構,變為分裂的能階結構,連帶的 使矽原來之間接能隙,變為接近直接能隙之能帶結構,另外,電子能態密 度也不同於一般塊材,其能態密度介於原子與塊材之間,具類似原子的能 階,此外,因量子點之能態密度隨著其尺寸大小而變,也就是說光、電、 磁性質可由尺寸變化來改變,使得我們可透過"人工"之方式來調整其電子 與光之特性。

1.1 矽基(Si-based)於光電元件之發展沿革

因電晶體積體電路的發明造就了 IC 產業,從 70 年代開始 IC 產業每年 幾乎都呈指數函數成長,到了 98 年全球 IC 產業之年產值高達一兆美元, 2002 年矽半導體市場規模則超過三千億美元。隨著 IC 元件尺寸不斷縮小, 超大型積體電路之功能快速增加的同時, IC 元件面臨物理極限之挑戰,因 為功能之增加意味著處理資料量的暴增,使得 IC 元件之間的資料傳輸量變 得更龐大。電子工業對於高效率且高速的矽基光電元件之研究倍感興趣, 原因為它有助於實現微晶片之間的高速光通訊;利用矽半導體來製作光電 元件,將可使晶片之電子信號經過光學運算轉換成光學信號,因此長久以 來矽半導體之發光研究,一直被列為次世代科技的主要研究項目之一。而 利用矽基來研究開發之光電元件種類非常多,其中涵蓋光檢測器 (photodetector)、發光二極體(Light Emitting Diode; LED)與現有的矽/ 矽鍺製程技術整合,應用於深具潛力的矽基光電元件(Silicon-Based OEICs) •

雖然目前光電元件多利用在最廣泛的 III-V 族半導體來製作,但與矽半 導體製程是完全不相容的,例如於矽晶片上成長氮化鎵(GaN)將因晶格匹配 問題使得磊晶品質不佳,而這對元件性能、整合性以至於成本考量,都是 較不可行的,因此可行之方法為單一製程方式,即直接於矽基板上製造光 電元件,除了能與矽半導體製程整合,並具備與矽晶格失配較小(避免載

子於傳輸過程中發生散射、復合等無法預知行為),能帶不至於過大(能 對紅外光產生反應),而鍺與矽鍺已被證實具有這樣的特性。

1.2 奈米科技

1.2.1 奈米材料之簡介(1)

奈米材料為介於1~100 奈米之間之微小物體,廣泛定義則為:三維中 至少有一維處於奈米尺度範圍內。此即三維為物體之長、寬與高,只要任 一維度小至奈米尺寸,即可稱此物體為奈米材料。奈米材料依維度可分為 零維、一維與二維如圖 1-1 所示。零維奈米材料指長、寬與高三維尺度都 於奈米尺寸內,形狀為點狀,如奈米粒子、分子團、量子點等。一維奈米 材料為指長、寬與高三維中之寬與高二維都為奈米尺度,形狀為長條狀, 如奈米絲、奈米棒、奈米管、奈米帶等。二維奈米材料則為長、寬與高三 維中僅有高度為奈米尺度,形狀為平面,例如奈米薄膜、超晶格等。



圖 1-1 為奈米材料之分類

當我們所熟知之塊材縮小至奈米尺寸,材料本身特性,如熱學、光學、 電性、磁性、機械等性質, 產生與巨觀世界不同之變化。例如: 奈米材料 依維度不同,電子能階分布亦不同,如圖 1-2 所示。因零維奈米材料缺乏 自相鄰原子或分子之作用力,因此電子能階分布並不連續,且集中於非常 窄之能寬中。隨著奈米材料尺寸增加,能寬亦將增加,故一與二維奈米材 料之能寬較零維材料大,但電子能階分布基本上如柵欄狀或階梯狀,而三 維塊材材料之電子能階分布則為連續之。若以電子傳輸情況為分類標準, 零維奈米材料為指電子受限於長、寬與高三維尺度均於奈米尺寸空間中, 無法自由運動。一維奈米材料為指電子受限於長、寬與高三維中有二維處 於奈米尺度,電子僅能於不為奈米尺度之一維中自由活動。二維奈米材料 則為電子可於不為奈米尺度之二維中自由活動,亦即為活動於平面上。不 僅電子運動將因奈米尺度而改變, 奈米材料中原子振動亦將受到影響, 而 與塊材中原子振動模式不同。此所提到之原子振動,稱為「晶格振動」,或 簡稱為「聲子」(phonon)。而此種電子活動受到奈米尺寸限制之現象,與 原子振動改變,稱為維度之量子局限,或簡稱為量子局限。電子活動與原 子振動變化亦將改變奈米材料之光學、熱學、磁性、機械等性質,而此些 性質形成奈米材料獨特之特性,使奈米材料成為新一代革命性材料。



圖 1-2 不同維度奈米材料之能階分布

當材料尺度縮小至奈米級,因量子侷限效應與其表面積與體積之比值 變大等因素,奈米材料隨尺度縮小之物理、機械與化學等許多性質與其塊 材特性有差異,如金屬材料熔點降低與半導體材料能隙增大等。因此,人 類除改變材料化學組成以獲得不同材料應用需求上之性質外,將可進一步 藉由控制奈米材料大小與形狀,而有機會操控同一種化學組成材料之基本 特性如熔點、顏色、光、電、磁等性質。利用此特點,許多從前無法於微 米時代達成之高性能產品或技術將有機會於奈米科技領域中實現。

1.2.2 奈米材料分類與特性(2)

奈米材料大約分為五類,於下面內容中說明:

a. 奈米結晶材料(nanocrystalline materials):因物質於微結構微小化時,
 表面原子與內部材料原子個數比例將顯著上升,此時介面原子之行為將
 決定物質之性質。

- b. 奈米孔隙材料(nanoporous materials):此類材料指孔隙尺寸小於 100 nm 之多孔隙材料,涵蓋自然界中存於之生物膜與沸石,其高表面積使之具 高催化與吸附效應。
- c. 奈米纜線:奈米纜線傾向於無機材質,主要運用於電子工程。奈米纜線 之電子傳遞行為並不遵循古典電子學,應用於建構複雜之電路系統時, 其困難點於纜線間之連結性。
- d. 奈米碳管(carbon nanotubes): 奈米碳管具多項特殊性質,其導電性隨
 不同捲曲方式而變,可作為奈米導線或奈米半導體材料。
- e. 奈米粉體:奈米粉體為奈米材料中種類最多且運用最為廣泛一種。又稱為超微粉或超細粉,一般指粒徑於100 奈米以下之粉末或顆粒,其為介於原子、分子與宏觀物體之間處於中間物態之固體顆粒材料。可用於: 高密度磁記錄材料、吸波隱形材料、磁流體材料、防輻射材料、單晶矽 與精密光學器件拋光材料、防輻射材料、單晶矽與精密光學器件拋光材料、微晶片導熱基片與布線材料、微電子封裝材料、光電子材料、先進 電池電極材料、太陽能電池材料、高效催化劑、高效助燃劑、敏感元件、 高韌性陶瓷材料(摔不裂之陶瓷,用於陶瓷發動機等)、人體修復材料 以及抗癌制劑等。

奈米材料之特性:

a. 光學性質:當黃金被細分至小於光波波長尺寸時,即失去原有富貴光澤 而呈黑色。事實上,所有金屬於奈米微顆粒狀態都呈現為黑色。尺寸越 小,顏色越黑,銀白色之鉑變為鉑黑,金屬鉻變為鉻黑。亦即,金屬奈 米微顆粒對光反射率極低,一般低於1%,大約幾微米之厚度即能完全 消光。利用此特性即可作為高效率光熱、光電等轉換材料,可高效率地

將太陽能轉變為熱能、電能。微粒尺寸縮小,光吸收度或微波吸收度都 顯著增加,且產生吸收峰等離子共振頻移,產生新光學特性,如對紅外 線有吸收與發射作用,但對紫外線有遮蔽作用等,不同粒徑材料遮蔽力 將隨光波長大小而有所不同。

- b. 熱學性質:固態物質於其形態為大尺寸時,其熔點為固定,超細微化後 卻發現其熔點將顯著降低,當顆粒小於10奈米量級時尤為顯著。例如, 金之熔點為1064°C,當顆粒尺寸減小至10奈米,則降低27°C,2奈米 尺寸時熔點僅為327°C;銀之熔點為670°C,而超微銀顆粒之熔點可低 於100°C。因此超細銀粉製成之導電漿料即可進行低溫燒結,此時元件 基片不必採用耐高溫陶瓷材料,甚至可用塑膠。奈米材料表面原子振幅 約為內部原子1倍,隨粒徑逐漸減小,表面原子比例亦逐漸增加,奈米 材料之熔點則隨之降低。奈米微粒於低溫,其熱電阻很小,熱導性極佳, 可作為低溫導熱材料。
- c.磁學性質:科學家發現鴿子、海豚、蝴蝶、蜜蜂與生活於水中之趨磁細 菌等生物中存有奈米磁性顆粒,使此類生物於地磁場導引下能辨別方向, 具回歸本領。磁性奈米微顆粒實質上為一個生物磁羅盤,生活於水中之 趨磁細菌依靠它游向營養豐富之水底。透過電子顯微鏡研究,於趨磁細 菌體內一般含有直徑約20奈米磁性氧化物顆粒。因奈米材料小尺寸效 應,使磁有序態轉變成磁無序態,超導相轉變為正常相,因而產生新磁 學特性。當顆粒粒徑減小,其磁化率隨溫度降低而逐漸減少。像鐵鈷鎳 合金之強磁性材料之奈米微粒,其信號雜訊比極高,可供做為記錄器使 用。
- d. 力學性質:陶瓷材料於一般情況下呈脆性,然而由奈米微顆粒壓製成之 奈米陶瓷材料卻具良好之韌性。因奈米材料具大介面,介面之原子排列

為相當混亂,原子於外力變形之條件下極易遷移,因此表現出甚佳之韌 性與一定之延展性,使陶瓷材料具新奇之力學性質。因奈米材料表面原 子之配位不足,再加上極強之凡得瓦力作用下,使奈米複合材料之強度、 耐磨性、韌性、耐壓性、抗老化性、緻密性與防水性等特性大為增加與 改善。

1.2.3 零維奈米材料之簡介

奈米粒子、分子團(如碳-60)與量子點代表了零維奈米材料,這種零 維奈米材料若具半導體特性,將有助於奈米元件之發展。零維奈米材料為 由少量原子或分子所聚集而成的物體,顧名思義其為一種尺寸於一奈米至 數十奈米或一百奈米之內之點狀物,其物理性質只能由微觀之量子物理解 釋。例如零維奈米材料之電子能階分布與一般原子之電子能階分布相似, 同樣為不連續的,電子被局限於量子點能階之規則也與真正原子能階之情 況相似。因此電子於零維奈米材料中之表現也接近在原子內那樣,依各種 軌道運動,因零維奈米材料具有與實際原子相似之性質,可以稱其為人造 原子或超原子。

若把零維奈米材料按照特定圖案排列,即可用來製作奈米級之電子元件 或光電元件,其優點為體積更小、效率更高,且無需引線。例如應用零維 奈米材料製作半導體元件,將能發展運算速度更快、體積更輕巧的電腦, 以取代目前運算速度慢又笨重的半導體電腦。又如應用量子點結構,可製

成啟動電流低、溫度穩定性高之窄頻螢光、甚或量子點雷射,為光纖通訊 提供省電與高功率之光源。所以設計與控制零維奈米材料之發展已變成一 個重要之研發領域,而且也已應用於發光二極體與生物標定等重要科技 上。

除此之外,量子點也已應用於單電子之觀察。甚至溫度之量測與奈米級 之量子點冰箱,這是因量子點可把熱電子移除,使溫度保持於一定溫度下。 這裡所謂的熱電子,是指電子能量高於費米能階者。冷電子則指能量低於 費米能階者。因量子點中電子之能量均低於費米能階,所以溫度能保持於 費米溫度以下。但奈米級之量子點冰箱僅能將電子元件中的熱帶走,與普 通之家用電冰箱不同。

1.2.4 奈米材料之應用

因近年來量子點奈米結構(Nano Structure)受到許多注意,許多有關 量子結構之研究如雨後春筍般的出現,顯示出於元件之線寬尺寸不斷降低 之下,元件技術勢必進入奈米世代,量子元件勢必繼矽製程之後,成為世 界上另一個最重要之研究。一般而言,以量子結構作應用之元件包含:單 電子電晶體(Single Electron Transistor: SET)、單電子記憶體(Single Electron Memory: SEM)、量子電腦、量子點雷射、以及量子點紅外線偵測 器等等。

1.3 本研究之動機

隨著半導體製程技術的不斷進步,半導體元件之尺寸也越縮越小,對於 微小尺度的掌控能力之需求也越來越高,面對這樣的發展趨勢, 奈米尺度 之技術便成為往後發展的重點,所製作出的奈米光電元件具新的物理特性, 也已展現了重要之應用潛力。各種奈米材料中,量子井(quantum well)結構 已於過去 20 年來有許多發展,量子點(quantum dot)也於過去 10 年來有實質 的進展,因為量子點材料於處理上與塊材相同,所以發展較容易。其中三 五族量子點材料,因為三維之量子侷限效應,使得電子能態密度迥異於傳 統之半導體材料,因此製作出的元件,如各種波長之半導體雷射、垂直共 振腔之面射型雷射、二維陣列光檢測器以及量子井、量子點雷射、光放大 器等具許多優異之特性;以四族為主之材料也引起大家的注意,其本身為 間接能隙之材料,伴隨著尺寸之縮小,表現出直接能隙之特性,無論是磊 晶或是複晶矽鍺光檢測器元件,於矽鍺薄膜沉積技術發展至一定程度後, 欲再提升元件效能,將奈米結構引用至光檢測器元件內為必然之趨勢。矽 鍺技術可形成奈米尺寸的量子點、量子井結構,更加突顯量子效應與光電 效應,其提供的量子侷限效應(quantum confinement effect),亦可大幅提升 元件之量子效率,使得載子受光激發之效率更高,造成元件有更強之訊號 或是能偵測至能量更低、波長更長之光線。

然而以三五族材料製作之光電元件其隨著材料的價格昂貴,而且目前也

尚未能與以矽為主之積體電路相匹配整合。以矽基為主之 CMOS 製程技術, 包括製程設備、配方與物理化學特性等均已相當成熟,因此許多學者致力 研究以四族材料來製作光電元件。在這當中,矽與鍺技術可形成奈米尺寸 的量子點與量子井結構,試圖藉由能帶結構之改變,使間接能隙能轉變成 直接能隙,更加突顯量子效應與光電效應,因此所製作的元件及其整合應 用也適用於現代半導體工業製程之矽基材。

1.4 本研究之目的

本研究以"化學氣相沉積"之方式沉積"多層重複堆疊結構"形成矽 量子點與穿隧接面,做為光檢測器之檢測構件,而製作出奈米級矽量子點 光檢測器為主要目的。

並且期望能達到有高敏感性與低雜訊特性之可見光光檢測器元件,有效 的利用此種奈米級砂半導體材料結構特性,達到在低偏壓與低消耗功率之 工作優勢,並且期望元件有很高之穩定性、較大之光響應以及較低之暗電 流,以達到於不同工作環境下,元件仍然能穩定的產生光電效應以及檢測 可見光。並且有機會發展成為各界研究奈米結構與可見光光檢測器之重點。 此研究結果將可應用於需要光信號轉換成電信號之元件應用之上。

第二章 原理(Principle)

前言

因矽或鍺為間接半導體(indirect semiconductor)⁽³⁾是非直接能隙之半 導體材料,亦即導電帶最低點(conduction band minimum)與價電帶最高 點(valence band maximum)於K空間不在同一點上(無相同之動量),如圖2 所示;基於動量守恆,若矽中之電子要從價電帶轉換至導電帶時,需要 動量轉換,也就是需要聲子加入以提供其所需之動量,並且於改變動量 時,將以熱的方式散失能量,故無放光的效應。如此之結合過程,應用 於光電元件上之效能比較差,故於間接半導體(indirect semiconductor)非 直接能隙之材料通常不能用來做發光元件,但是藉由奈米大小尺寸之量 子井(quantum wells)與量子點(quantum dots;QDs)結構特性,並且改變 塊材(bulk)之特性,經研究證明可應用於感測器、雷射、光元件、記憶 體等各方面。因此奈米技術---矽量子點的引進,將於非直接能隙材料如 矽材料上,便能改變能帶譜以及增強光電量子效應。

於本章節中,將針對量子點光檢測器之基本操作原理以及分析檢測 結構中光電轉換之物理機制,並進一步解釋第四章中所量測得到之實驗 結果。



間接能隙 = 1.12eV

圖2 為矽塊體材料之能量(E)與動量(k)關係

2.1 光檢測器之工作原理

光檢測器(photodetector)⁽⁴⁾元件為由光之基本粒子(光子)扮演主要角 色之元件,將光信號轉變成電信號,也就是將光子轉換成電子,比如電 壓或電流。而在許多之光偵測器元件中,比如光導體與光二極體,其便 是利用吸收光子而產生出自由電子-電洞對(free electron hole pairs),也就 是於傳導帶產生電子,於價電帶產生電洞。

然而量子點光檢測器之基本操作原理,主要就是將入射之光子經由 吸收並將量子點中之電子激發出來並形成光電流如圖2-1(a)所示。因此 我們以SiNx (Barrier)/Si (Quantum dot)/ SiNx (Barrier) 形成所謂之矽量 子點結構,在矽量子點結構中,因矽量子點之三個維度都受到束縛,使 得量子點之能階被量子化,形成類似於氫原子光譜之分裂離散能階。處 於基態之電子於吸收入射光 (photon)的能量之後,由基態躍遷至激發 態後,使得電子與電洞於矽量子點間共振穿遂,最後產生光電流輸出如 圖2-1(b)所示。這就為奈米級量子點光檢測器元件主要之工作原理。



圖2-1(b) 為矽量子點吸收光子能量之後,使得電子在矽量子點間共 振穿隧,最後產生光電流輸出之示意圖。

2.2 光子與電子之間之基本交互作用(5)

2.2.1 輻射轉換

基本上,光檢測器為由光之基本粒子(光子)扮演主要角色之元件, 當光照射固體時,其光子與固體內之電子之間有三種主要之交互作用過 程:吸收(absorption)、自發放射(spontaneous emission)、再加上固體本身 之電子處於因激態而跑至基態所放射之光,誘發放射(stimulated emission)。若考慮於一個原子內之兩個能階E₁與E₂,其中E₁相當於基態 (ground state),E₂相當於激發態(excited state),而於這兩個能態之間的轉 換都包含了光子之吸收或放射。而我們假設這個光子之頻率為v₁₂,其中 hv₁₂=E₂-E₁。於室溫中,固體中大多數之原子都是屬於基態。但若有一能 量恰好等於hv₁₂之光子撞擊此系統後,將破壞原來之平衡態。而原來處 於基態E₁之原子將吸收光子能量而跑到激發態E₂,這種能量狀態之改變 稱之為吸收,如圖2-2-1(a)所示。而光檢測器與太陽能電池主要就是靠這 種原理在運作。



然而於激發態中的原子為不穩定的,經過一個短暫的時間之後,不 需外來的刺激,它就將跳回基態,並且釋放出一個能量為hv₁₂,這個過 程稱為自發放射,如圖2-2-1(b)所示。這種過程主要之應用為發光二極體。 當一能量為hv₁₂之光子撞擊原本就在激發態的原子時,此原子受到這個 光子之激發後將轉移跳至基態,並且放射出與入射光子相同能量且同相 位之hv₁₂光子。此過程稱之為誘發放射,如圖2-2-1(c)所示。此為雷射之 基本工作原理。



圖2-2-1(b) 在兩個能階之間之自發放射過程



2.2.2 光之吸收

圖2-2-2所示乃為半導體中之基本轉換,當半導體被光照射後,若光 子之能量等於能隙的能量(*hv*=E_g),則半導體將吸收光子並產生電子電洞 對,如圖2-2-2(a)所示,若*hv*>E_g,除了將產生電子電洞對以外,多餘之 能量將以熱的形式散逸,如圖2-2-2(b)所示,以上的兩種過程都稱為本質 轉換(intrinsic transition);若*hv*<E_g,就只有於禁止能隙中存在由化學雜 質或為物理缺陷所造成之能態,光子才能被吸收,這種過程稱為外質轉 換(extrinsic transition),如圖2-2-2(c)所示。



圖2-2-2 為光的吸收, 當: (a) $hv = E_g$, (b) $hv > E_g$, (c) $hv < E_g$

2.3 光檢測器之電流機制⁽⁶⁾

矽量子點光檢測器之電流機制涵蓋有光電流(photo current)、暗電流(dark current)、雜訊電流。

2.3.1 光電流 (photo current)

光電流 (photo current) 的產生為光檢測器位於本質層(例如:矽量子點、矽量子井......等)中處於價電帶(E_v)之電子於吸收入射光之光子 (photon) 能量後,進而躍遷至導電帶(E_c)後,因為受到元件本質層中

之內建電場所影響,而導致所產生之電子電洞對分離,並且使得電子飄 移至n-type以及電洞飄移至p-type,最後在外部電路形成電流,也就是光 電流,這也為光檢測器所想要量測到的最主要訊號電流,如圖2-3-1所示。 因此,我們希望所得到之光電流越大越好。而提高光電流的方式很多, 如增加量子點之密度、提高量子點中電子之摻雜濃度、增加量子點之層 數、改善量子點之結構,讓量子點之束縛效應更佳等。而在這些提高光 電流的機制中,另一個負面之效應就是暗電流也將增加。因此,於光電 流與暗電流之間,藉由增加量子點之層數條件,於兩者之間取得一個平 衡之後,雖然暗電流有稍微增加,但是光電流卻提高了許多,相對之下, 還是提昇了元件之偵測度與操作溫度的整體表現。



圖2-3-1 為由光檢測器所產生之光電流機制

2.3.2 暗電流(dark current)

暗電流(dark current)為當光偵測器於無任何光源之下,於不同溫度不同電壓之操作環境,必將產生之電流值。也就是於無光照射之情況下,因溫度導致載子活動而產生不需要之電流,故有一個非常小的逆向飽和電流,此暗電流將會造成系統雜訊的產生以及使得光電流不穩定。因此當暗電流太大時,將使得所伴隨著的雜訊電流變得更大,使得元件之訊號對雜訊的比變差。

然而暗電流於量子點檢測器中為一個很重要之物理機制,而分析暗 電流之來源有三個部分,如圖2-3-2所示: (a)有一部份之電流是不經 過量子點,而直接從能障的部份越過,(b)另一部份則為經由量子點 而來。由量子點產生之機制包含了熱激發(thermionic emission)、熱助穿 遂(thermally assisted tunneling),以及直接穿隧(direct tunneling)等效應。 如圖2-3-2 所示。熱激發為量子點內之載子經由熱能用以提供能量,從 而激發至能障(barrier)之頂端,形成漏電流(leakage current)之來源;熱 助穿隧則為量子點內之載子經由熱能提供能量,從而激發至能障頂端的 下方部份,然後再藉由能障的三角形部份穿隧而得。以上兩種暗電流機 制,應該比量子井結構之檢測器要來的小。最後,直接穿隧則為量子點 內之載子,直接穿隧至鄰近之量子點內,我們可藉由加大能障之寬度, 即可抑制此種效應。



圖2-3-2 為由量子點所產生之暗電流機制

2.3.3 雜訊電流 (noise current)

雜訊電流(noise current)相當於暗電流之交流成分(AC)。當暗電流在流經量子點時,將因為熱雜訊與電子電洞對之產生與復合等機制, 產生額外之雜訊電流。當雜訊電流過大時,在相同之光響應之下,則訊 號對雜訊的比(signal to noise ratio:S/N)就將變差,即其偵測度

(Detectivity) 降低。

2.4 量子效率(quantum efficiency)與光響應度(Responsivity)

量子效率 (η; quantum efficiency)⁽⁷⁾是指利用吸收光子轉變成自由電子-電洞對之效率,亦即光子轉換成電子之效率,也代表著每個入射光子 所產生之電子電洞對數目,以下列方程式表示:

$$\eta = \left[\frac{I_{p}}{q}\right] \left[\frac{P_{opt}}{h\nu}\right]^{-1}$$

 I_p 代表光激發產生之光電流, P_{opt} 代表入射之光功率= I_{int} (入射光的照度)

× A (有效的元件面積),q代表基本電荷(q=1.60218×10⁻¹⁹C),hv代表光 子能量。

在此, 響應度(Responsivity)⁽⁷⁾代表著檢測器將入射之光通量, 轉換成 光電流之能力:單位為:輸出光電流/輸入光功率(A/W);其定義 為在某特定波長λ, 每入射光功率(P_{opt})所產生之光電流(I_p), 即為光電流 與光功率之比值,以下列方程式表示:

$$R = \frac{I_{p}}{P_{ont}} = \frac{\eta q}{h\nu} = \frac{\eta \lambda(\mu m)}{1.24} \quad (A / W)$$

2.5 奈米尺寸之量子效應 (8,5

奈米粒子之物理特性,已被證明與塊材性質不同,其中量子侷限效 應以及能帶結構改變則為最好的證明。

2.5.1 量子侷限效應(Quantum Confinement Effect, QCE)

量子侷限效應為1966年從10nm級超薄膜之研究中所發現的特殊效 應。當奈米材料之尺寸小於材料的費米波長時,電子(電洞)之界面條 件,不再是無限,而是有界限。例如:量子點,體積很小,直徑在數個~ 數十奈米,故量子點內具三維之能量屏障,因此電子(電洞)被迫在這侷 限的空間中自組成穩定態,電子與電子間之庫倫力也將產生新的集體效 應,如圖2-5-1(a)所示。發生量子侷限效應之奈米材料將產生類似原子或 分子相同的不連續電子能階結構,即分離之能階結構,其能態密度也不 同於一般塊材,介於原子與塊材之間,而且材料之能隙(Energy Gap) 也將隨著粒子大小不同而變化,如圖2-5-1(b)所示。因此量子點的光、電、
磁性質已不同於一般我們所認識之塊材性質,此外,因量子點之能態密 度隨著其尺寸大小而變,亦即說光、電、磁性質可由尺寸變化來改變, 使得我們可透過"人工"的方式來調整其上述之性質。

對半導體量子點而言,尺寸變小後,能帶邊緣之能態密度變小,產 生分裂,故能隙變大,發光波長變短,故只要能控制尺寸即能控制發光 波長。這種量子點之特性即是量子侷限效應或是稱為量子尺寸效應 (Quantum Size Effect)。



Quantum Dots

圖2-5-1 (a) 當材料由3維塊材縮小為1維量子點時,其波函數將受到侷限



能量

圖2-5-1 (b) 原三維塊材之能態密度為連續,而於低維度(二維變為零維) 時受到量子點侷限效應的結果,使得連續的能態變為類似原子的分裂能 階

2.5.2 能帶結構之改變(間接能隙改變為直接能隙)⁽¹⁰⁾

當晶體體積縮減至奈米等級時,能隙將變大,以矽材料為例,矽原 本為一間接能隙之半導體,當矽之電子由價電帶被激發至導電帶時,因 電子於導電帶之最低能量時與價電帶之最高能量波向量不同,故於導電 帶之激態電子在矽晶體內要降回價電帶時,需要額外的聲子加入,才可 維持動量守恆,但也因需要額外之聲子,故矽晶體發光效率極低(~ 0), 無法作為發光材料。

研究發現, 矽量子點不但可發光, 而且藉由尺寸調整能隙使其發出 不同顏色的光, 此一現象即為量子侷限效應造成, 換句話說, 亦即矽量 子點晶體尺寸縮小至奈米等級後, 電子將受到量子侷限效應之結果, 使 得原本連續之能帶結構, 變為分裂之能階結構, 連帶的使矽原來之間接 能隙,變為接近直接能隙之能帶結構,如圖2-5-2所示。故原本不發光之 矽半導體,在變成量子點之後,發出可見光。

相較於量子井而言,量子點之內部電子於各個方向上之運動都受到 侷限,故量子侷限效應比量子井來的明顯。又因為量子點結構對於載子 之侷限效應比量子井結構來的好,故量子點結構之活化能將比量子井結 構來的大。



圖2-5-2 矽之能隙從間接能隙轉變成直接能隙

第三章 製程 (process)

前言

隨著半導體製程技術不斷進步,半導體元件尺寸也越縮越小,對 於微小尺度之掌控能力之需求也越來越高,面對這樣的發展趨勢,奈 米尺度之技術便成為往後發展之重點,而藉由奈米技術所製作出之奈 米光電元件因其具新的物理特性,也展現了重要之應用潛力。

製程技術方面,本研究之奈米級光檢測器元件結構其全部製程皆 使用現今超大型積體電路之製程。利用目前最熱門之微影技術 (lithography) "E-Beam" 直寫技術用以定義光罩,其優點為可控制 0.1µm 以下之奈米級線寬,以及不需另外製作光罩。目前在國家奈米 元件實驗室的E-beam 系統最小可曝出80 nm 之線寬。

3.1 元件結構與光罩設計

3.1.1 元件結構設計:

本研究之元件為一利用多層膜—氮化矽/多晶矽/氮化矽/多晶矽/ 氮化矽/多晶矽/氮化矽以及電子束直寫之微影製程製作三個人造原子 (Triple Quantum dots)之元件,如圖3-1-1(a)所示,為Triple Quantum dots元件結構剖面圖。元件製作全部製程皆在國家奈米元件實驗室(以 下簡稱NDL)完成。除製程設備外,並使用L-edit 專業光罩設計軟體 用以輔助定義元件圖形(device pattern)。



SiNx (Barrier)

Poly Silicon (Quantum Dots)



圖 3-1-1 (a) 為三個量子點元件結構剖面圖

奈米級光電元件整體設計概念與其整體結構,涵蓋:一半導體基 底;一絕緣層設置於該基底上;一奈米級光電元件作用區設置於該絕 緣層上,奈米級光電元件結構設計,涵蓋一負極半導體、一正極半導 體與多層之矽量子點與穿透接面層結構介於此兩正、負極之間,如圖 3-1-1 (b)與(c) 所示,為元件結構立體圖以及元件結構平面圖。



圖 3-1-1 (b) 為量子點元件結構立體圖



圖 3-1-1 (c) 為量子點元件結構平面圖

詳細元件結構為一半導體基底,其上有一絕緣層係二氧化矽,利 用濕式熱氧化成長,厚度約為介於2000-4000埃(Å)。接著,利用化學 氣相沉積法沉積一層厚度約為2000埃(Å)已摻雜之多晶矽層,此多晶 矽層乃為第一導電層於半導體基底上。緊接著再利用化學氣相沉積法 沉積多層薄膜;氮化矽/多晶矽/氮化矽/多晶矽/氮化矽/多晶矽/氮化矽, 各層厚度約為於30埃(Å)。

選用氮化矽為第一介電層、第二介電層、第三介電層與第四介電 層之優點在於,於退火製程時可避免複晶矽量子結構因熱氧化製程也 會消耗矽之特性而使得結構產生變化。接著,利用微影與蝕刻製程製 作一奈米級直立式堆疊之量子點元件結構,如圖3-1-1(d)所示,為量 子點元件層狀結構示意圖。



圖 3-1-1(d) 為量子點元件層狀結構示意圖

接著沉積一絕緣層;二氧化矽或四乙氧基矽酸鹽(TEOS)於該基底 上,當作上電極之墊高層,以避免上、下電極接觸造成短路或寄生電 容的產生。接著使用化學氣相沉積法沉積厚度約為2000埃(Å)已摻雜 之多晶矽層用以製作上電極。最後利用金屬化製程製作上、下電極用 之金屬連線與金屬墊,以供電性量測時探針點測或打線時使用。

3.1.2 光罩佈局與設計

本研究使用六吋矽晶圓(wafer),而光罩之設計軟體為 Tanner Tool L-Edit 專業光罩設計軟體,圖檔附檔名為*.tdb,於光罩繪製完成時將 *.tdb 轉檔為*.gds,以便符合電子束直寫微影系統曝光讀寫。另外考 量此元件製作乃為研發實驗性質並非生產線量產,以及考量 E-beam 之曝光範圍還有加快元件之製作時間,因此將元件只設計於晶圓中間 之部分,所以設計 E-beam 之曝光範圍為5x5 個 Die,其中每個 Die 設計為9 宮格之格局,即每一個 Die 有九顆元件,因此在晶圓上共 有 225 顆電晶體,每個 Die 之間距離 4400 µm,於九宮格內元件之 間距離為 1800 µm。設計完光罩佈局與元件位置之後,接著設計每一 道製程所需要罩幕(Mask) 圖形,因為電子束直寫系統(Leica E-beam Weprint 200)於讀寫上將有圖形轉移誤差,因此必須將每一道罩幕之 圖案定義於阻劑,並在顯影後進行顯影後檢驗 ADI(After Develop Inspection),以及蝕刻後檢驗(After Etch Inspection),用以確認圖案 依循原本之設計,得以製作原設計之元件結構。

首先定義元件結構,晶圓上光罩佈局由圖 3-1-2 所示,佈局為九 宮格圖案,並在元件下方使用電子束定義元件編號。針對元件結構進 行圖形的設計,元件所製作之光罩圖如下圖 3-1-2 (a)~(e)所示,(a)為 第一道光罩,定義元件 Source 端,L 之寬度為 160 nm;圖(b)為第二 道光罩,定義 TEOS 墊高部分;圖(c)為第三道光罩,定義元件 Drain 端 以及元件的作用區,而且進一步縮小主動區,d 之寬度為 40 nm,黑 色部分為量子點結構區;圖(d)為第四道光罩,定義 Drain、Source 端 之接觸窗(contact hole),面積為 50 µm × 50 µm;圖(e)為第五道光罩, 定義金屬層之電極,其中 Drain、Source 與 Gate 三端電極之 pad 面 積為 0.1 cm × 0.1 cm。

32



圖 3-1-2 為光罩佈局圖,並在元件中註明位置。



3-1-2 (a) 為第一道光罩,定義元件 Source 端。





3-1-2(b) 為第二道光罩,定義 TEOS 墊高部分。



3-1-2 (d) 為第四道光罩,定義 Drain、Source 端的接觸窗



3-1-2 (e) 為第五道光罩,定義金屬層。

3.2 元件製作步驟

3.2.1 元件第一道步驟

- 首先於 p-type(1,0,0) 矽基板上利用溼式氧化製程製作厚度約為 200 nm之SiO₂ 作為隔離元件之絕緣層,接著通入SiH₄ 與PH₃ 氣 體進行成長 200 nm 之 poly silicon,同時將以 in-situ 之方式掺雜 phosphorous(n⁺),掺雜磷離子之濃度為 1x10¹⁹cm⁻³,並且量測出 poly 之片電阻(sheet resistance)為 300 Ω/□。
- 接著沉積 SiNx 為第一層之 barrier 作為元件之穿透接面層,厚度 為 30 Å,接著再沉積 30 Å 之 poly silicon 為元件之量子點 island layer,然後再沉積 SiNx 為第二層之 barrier,其厚度為 30 Å,接 著沉積 30 Å 之 poly silicon 為第二層 island layer,接著沉積 30 Å 厚度的 SiNx 為第三層 barrier,接著沉積 30 Å 之 poly silicon 為 第三層 island layer,接著沉積 30 Å 厚度之 SiNx 為第四層

barrier •

- 另外於使用 Ellisometer 量測 Nanopillar 中之 silicon nitride 以及 poly silicon 的厚度,得到一個合理之 range 1.5 nm~4.5 nm 厚度。 而沉積 Nitride 3 nm (30 Å)之時間約為 36 sec,沉積 poly 3 nm (30 Å)之時間約為 27 sec。
- 接著進行第一道光罩圖案轉移,E-beam 劑量為 11 μC/cm²,使 用負光阻。
- 然後以耦合式電漿(TCP)對 poly silicon (2000 Å) 作離子反應,而
 未蝕刻之部分為 Source 端。

3.2.2 元件第二道步驟

- 作第二道步驟之前先加一道 dry-oxidation 製程,使已完成之 Source 端經側邊氧化後再縮減,之後再使用橢圓測厚儀做厚度量 測,目標氧化厚度為15Å。
- 2. 接著沉積 TEOS 厚度 200 nm,並且將 TEOS 重疊至多層結構之上,主要目的為使多層主元件結構與 TEOS 間無縫隙外,另外作為墊高下一個電極之 poly,以避免連接至 Drain 端之 poly。
- 再來進行第二道光罩之圖案轉移, E-beam 劑量 11 μC/cm²,使 用負光阻。
- 4. 蝕刻部份,以氟離子電漿對 SiO2 作反應,並將反應後之揮發性 氣體帶走。當蝕刻完後先不去除光阻,讓光阻當做保護層。
- 5. 之後還要利用化學蝕刻之方式浸泡 50:1 HF 約一分鐘,以濕式蝕 刻之方式將 TEOS 側向蝕刻掉,即為去除多層結構上多餘之 TEOS,蝕刻完後再去除光阻,而留下來之多層結構即為主動區。

3.2.3 元件第三道步驟

- 在此再增加一道 dry-oxidation 製程,避免 Source 端之 poly silicon 與下一個電極之 Poly silicon 產生接觸。
- 沉積 poly silicon 200 nm 為 Drain 電極,接著定義第三道光罩, 劑量設為 11 μC/cm²,使用負光阻,然後以耦合式電漿蝕刻多晶 矽(2000 Å),蝕刻完後 Drain 端以及真正元件之作用區即被定 義出來。

3.2.4 元件第四道步驟

- 以 dry-oxidation 之方式用以縮小量子點與成長閘極氧化層,其閘 極氧化層厚度為9 nm。
- 2. 定義第四道光罩,劑量設為 11 μC/cm²,使用正光阻,蝕刻部份 由氟離子電漿對 SiO₂ 進行反應性離子蝕刻(RIE),定義出 Drain 與 Source 電極之 contact hole,面積為 50 μm x 50 μm。

3.2.5 元件第五道步驟

- 使用 PVD 濺鍍之方式填入鋁矽銅合金 300 nm,其中金屬層為鋁:
 銅: 矽 = 1%: 0.5%: 98.5%之合金,最後作第五道光罩圖形轉
 務,劑量設為 11 μC/cm²,使用負光阻,閘極與 Drain、Source 連接端內部元件結構。
- 由金屬蝕刻系統(ILD)製作出元件外部結構,並且為了增加 metal 與 silicon 之歐姆接觸(Ohm Contact),因此增加了一道合金化製程 (alloy),時間 30 分鐘,溫度 400℃。



圖 3-2-5(a) 為元件連接至外部電極之連接線圖

3. 由圖 3-2-5(b)元件俯視圖之閘極電極來看,形成暗灰色之情況 只是因為呈現金屬色澤的不一樣,並不會影響電性量測結果,實 驗中利用無塵室 OM 拍攝 依然呈現白色透明之 AI 合金顏色。



圖 3-2-5(b) 元件完整俯視圖

3.3 製程原理

本研究所製作之量子點元件於整個半導體製程程序為沉積、黃光 微影、以及蝕刻等,另外搭配物理汽相沉積 PVD 以及熱氧化處理 (Rapid Thermal Oxidation)等其它製程步驟完成量子點元件。原理介紹 如下:

3.3.1 晶圓清洗製程

晶圓清洗主要是在去除晶片上之 native oxide、particle、有機物、 金屬離子,其使用時機分別為爐管前清洗、光阻去除、金屬蝕刻後光 阻去除與清洗 (stripper)。以下說明元件於 NDL class10 裡清洗蝕刻 工作台(Clean bench)實作的製程項目:

(1) 機型:美國 SANTD CLARA PLASTICS Model 1100B,如圖 3-3-1 所示。



圖 3-3-1 清洗蝕刻工作台

(2)標準製程:

1.爐管前清洗

(a) $HF/H_2O(1:50)$, R.7., E.R. = 80 Å/min

(b) SC-1 NH₄OH/H₂O₂/H₂O (0.25 : 1 : 5) , 75°C , 600 sec

(c) SC-2 HCl/H₂O₂/H2O (1 : 1 : 5) , 75°C , 600 sec

(d) H_2SO_4/H_2O_2 (3 : 1) , 120°C , 600 sec

2. 光阻去除

(a) H₂SO₄ (加入少許 H₂O₂), 120°C, 600 sec

(b) 光罩光阻去除時 H₂SO₄ (加入少許 H₂O₂), 105℃, 600 sec
 3.蝕刻

(a) 氮化矽蝕刻, pure H₃PO₄, 165°C, 65 min.

(b) 氧化矽蝕刻, BOE (6:1), R.T.E.R.800 Å/min

4.金屬蝕刻後光阻去除與清洗(stripper)

ACT-935C, 70°C, 15~20 min 特殊製程。

(3)注意事項:

1.不能使用化合物半導體晶片。

2.SC-1 與 SC-2 clean 順序不可對調,必須先做 SC-1 再做 SC-2, 原因是 SC-1 是先使 H₂O₂ 於 particle 底部氧化生成 SiO₂,然後利 用 NH₄OH 吃掉 particle 底部剛生成之 SiO₂,使得 particle 跟 wafer 的凡得瓦爾力減小,以此用以去除 particle;而 SC-2 則是利用金 屬氯化易溶之特性用以去除金屬離子;若 SC-1 與 SC-2 對調, 則較深層之金屬離子將會因為表面 particle 尚未去除而無法與氯 離子發生反應用以去除。

3.若被酸鹼沾附時先大量冲水數十分鐘,再送醫急救;若被 HF 沾

附時要先大量沖水,再用葡萄酸鈣加水混合成膏狀塗在患部。 4.使用化學槽之裝備為防酸圍裙、防酸面罩、防酸手套。

3.3.2 氧化以及熱處理製程

本研究所製作之量子點元件所使用到之氧化與熱處理製程有溼 式氧化、乾式氧化、快速熱氧化處理(RTO)以及合金化(Alloy),分別 敘述如下。

溼式氧化於本實驗最主要用途在於製作基板與元件的隔離層,避 免不必要之基底效應。Wet Oxide 所通入之氣體為氫氣,再加入氧氣 加熱溫度通入 Torch 石英材質,讓其混合氣體產生氫氧點火的效果, 然而通入氫氣與氧氣之比例為 1.3~1.5,控制在這個比例左右是為避 免氫氣濃度過高而產生氫爆,造成危險。而通入氣氧產生之水氣與矽 反應,產生二氧化矽氧化層,以及將產生生成物氫氣,Wet Oxide 製 程之化學反應式如下所示:

 $2O_2+H_2 \rightarrow 2H_2O$

 $Si+H_2O \rightarrow SiO_2+H_2$

當製作元件時,所需之氧化層厚度很厚時,並且電性不需要如製作閘極氧化層較良好之氧化層時,溼式氧化是較好的選擇,因該氧化速率比較快,可使用溼式氧化製程用以節省製程時間,使用溼式氧化法之時機如 LOCOS 製程之 Field Oxide(5500Å), 犧牲氧化層。

接下來要說明乾式氧化法(Dry Oxide),乾式氧化法所沉積出來之 氧化層具有較佳的電性,而一般沉積之厚度若非很厚時,就使用乾式 氧化法用以製作氧化層,但是該製程之缺點為氧化速率比較慢。下列 化學式為乾式氧化法之反應與生成物的說明。

 $Si+O_2 \rightarrow SiO_2$

而目前最熱門之 Thermal Oxidation 技術是日本 NTT 所發展之

PADOX 與 V-PADOX 技術,利用熱氧化擴散產生不同之應力使樣本 作局部之氧化進而自我對準(self-align)形成量子點(Quantum dot)。因 此本實驗也利用熱氧化處理,使多晶矽材料受到應力,而使多晶矽材 料自我形成量子點。而熱氧化製程於本實驗上所使用之時機除製作量 子點之外,同時也用來縮小 pattern 之線寬。

3.3.3 沉積製程

本研究所製作之量子點元件於沉積製程上所處理的部份可分為 氮化矽(Si₃N₄)、二氧化矽 SiO₂、多晶矽(poly-silicon),以及 Al-Si-Cu 合 金的沉積。多晶矽於本實驗應用的部份有汲極以及源極端還有 Nano-pillar 中之 island layer 部份。而由於多晶矽之電阻率較高,同 時為避免電性量測時,電子無法導入量子點,因此在汲源極使用垂直 爐管進行離子掺雜,以增加多晶矽之導電率,於垂直爐管內通入 SiH₄+PH₃,溫度條件為 620°C 之下進行 n+多晶矽的沉積,而其厚度 為 200nm。其化學反應式如下:

 $SiH_{4(g)} \rightarrow Si_{(s)} + H_{2(g)}$

而island layer 部份則是使用LPCVD 低壓高溫水平爐管來製作, 沉積之厚度為 3 nm。氮化矽於本實驗也是使用LPCVD 來沉積厚度 3 nm,因氮化矽阻擋離子擴散與水氣的能力比 SiO₂ 好,故本實驗是使 用氮化矽來當作 barrier,作為 grain boundaries,而製程溫度為 780°C。 TEOS 之沉積於半導體工業上的應用非常頻繁,中文名稱為四乙基正 矽酸鹽,化學式為 Si(OC₂H₅)₄,它在常溫下為液體,經過高溫反應後 將產生二氧化矽,利用 TEOS 製作氧化層跟乾式氧化與溼式氧化之 差異性在於使用 TEOS 製作氧化層具有較佳之平坦性,故本實驗於 製作 contact hole 是使用 TEOS。TEOS 之化學反應式如下所示:

 $Si(OC_2H_5)_{4(1)} \rightarrow 4C_2H_{4(g)} + 2H_2O_{(1)} + SiO_{2(s)}$

而 TEOS 之製程溫度為 700°C,其覆蓋階梯(Step Coverage)能力 甚佳。TEOS 在常溫下為一種溶液,TEOS(Tetraethyl Orthosilicate)稱 為四氧乙基矽酯或正矽酸乙酯,室溫常壓下為液體,使用需適當加熱 以提高飽與蒸氣壓(50°C 左右)。當沉積時,將有異質層的角落因沉積 物無法落在該階梯角落區域,將造成沉積物分布不均勻,使用 TEOS 沉積當絕緣物為較好的選擇。故 TEOS 製作氧化層技術已廣泛的運 用半導體之 spacer 製程。

於 NDL 實作之 LPCVD 低壓高溫水平爐管說明如下表所示。

製程項目	製程溫度(℃)	規格	
Tube01 POCL3	950	15~25Ω/	
Tube02 Nitride LPCVD	780	5~500nm	
Tube03 TEOS LPCVD	700	10~500nm	
Tube04 POLY-Si/ α -Si LPCVD	620/650	10~500nm	
Tube05Wet Oxide	980	10~500nm	
Tube06 Dry Oxide	925	3~50nm	
Tube07 SiGe/High K POLY	620	10~500nm	
Tube09 N+ Anneal/Drive in	800~950/1100	20 分鐘/4 小時	
Tube10 P+ Anneal	800~950	20 分鐘	
Tube11 High K Anneal	400~700	30 分鐘	
Tube12 Sinter	400	30 分鐘	

表 E LPCVD 低壓高溫系統標準製程表

接著說明 PVD 沉積 Al-Si-Cu 之製程,本實驗沉積 Al-Si-Cu 合金來當作金屬連線,在 IC 晶片製程將使用到各種不同的導體,銅與鋁均是良好的導體,被廣泛的用來製造傳輸導線以傳輸電力與訊號。

使用少量之銅與鋁形成合金,鋁之電遷移抵抗力將被明顯的改善,因 為銅扮演了鋁晶粒之間黏著劑角色,並且防止它們因電子轟擊而遷 移。

於NDL 實作之狀況如下:

(1) 機型:美國 MRC(Materials Research Corporation)PRIMUS 2500TM

(2) 標準製程:4 PVD Chambers, Pressures 5 x 10⁻⁹ Torr、Substrate Heating 50~50°C、DC power 10 KW、20 KW、30 KW, Frequency: 450 KHz and 13.56 MHz、Gas Intel: Ar、N₂。

3.3.4 微影製程

微影技術為形成阻擋蝕刻或阻擋離子佈值之罩幕層(mask),以 選擇性進行蝕刻或植入。該製程利用光的能量使受光照之光阻 (photoresist)性質改變,因而在顯影(develop)時被溶解掉,未受 光照部分則形成圖案做蝕刻之阻擋,此即為正光阻(positive photoresist)。反之,若感光後變成不溶解之光阻稱為負光阻(negative photoresist)。本實驗之微影製程大致上可分為光阻的塗佈以及使用 E-beam 曝光還有顯影等步驟,光阻的塗佈以及顯影均是使用 NDL 提供的自動化光阻塗佈與顯影系統(TEL CLEAN TRACK MK-8)系統 來完成。而曝光則是使用電子束直寫系統(Leica E-beamWeprint 200) 來製作。以下分別對這兩種機台作介紹以及對微影製程來作介紹。

本實驗採用之光阻為 E-beam 專用的正光阻(DSE)與負光阻 (NEB), NEB 厚度 4000 Å, 用來作為主動區與金屬層之 mask; DSE 用 來作為 contact hole 之 mask 與零層用來作為 EBL 多層對準標誌之 mask。DSE 厚度 3000 Å, 受曝光後, 將轉換為一種高分子酸, 之後 被鹼類的顯影液中和, 而定義出我們所要的圖形。NEB 本身即是一

46

種酸,受曝光後,將轉換為一種抗酸鹼之分子結構,在被鹼類之顯影液中和,而定義出我們所要的圖形。整個光阻的 coating 與 develop 皆 在 NDL class10 中自動化光阻塗佈與顯影系統中進行。

在完成 coating 之後便進行 exposure , 本實驗採用 NDL 之 E-beam direct-writing system 做曝光,其波長為深紫外光的數千分之 一以下,因此具有極佳之解析能力,再加上擁有極大之聚焦深度 (Depth of Focus, DOF),故應該為非常理想之微影技術。此系統為直 接在光阻上進行圖形的轉移,當我們的 pattern 經過一系列轉檔程序 後,系統將把圖形分割成矩形與 45 度角三角形等基本幾何圖形,再 由電子槍射出電子束經由電場的加速與磁場做圖案控制,將電子打到 光阻上使光阻的特性產生變化而達到圖形轉移的效果,解析度可達到 20nm。若配合光阻與 dry etching 的影響,可控制之線寬約為 60 nm。 本實驗光罩圖上設計了 9 顆元件,wafer 上可重複曝出 25 個圖形, 總共 225 顆元件。一個光罩圖的尺寸為 14200 µm * 14200 µm;圖與 圖的間格為 18000 µm。曝光劑量為 11 µC/cm²;時間依照各層曝光面 積而定,為 25 到 40 分鐘。完成後再回到自動化光阻塗佈與顯影系 統進行顯影的動作。

(1) 機型:自動化光阻塗佈與顯影系統,日本 TEL Clean Track MK-8,
 如圖 3-3-4(a)&(b)所示。

47





(2)主要配備與規格:

Adhesion Hot Plate 1 Set: 50℃~180℃,温度精確性≦ 0.6℃。

Hot Plate 3 Sets: 50℃~180℃,溫度精確性≦ 0.6℃。

High Temperature Hot Plate 1 Set: 50℃~ 350℃,温度精確性≦ 2℃。

Cooling Plate 2 Sets: 15℃~30℃,温度精確性≦ 0.4℃。

Coater 1 Set:轉速 $0 \sim 6000$ rpm,轉速精確性 ≤ 1 rpm。

Developer Set:轉速 0~5000 rpm,轉速精確性≦1 rpm。

Coating thickness uniformity : $3 \text{ sigma} \leq 3.0 \text{ nm} \circ$

Develop CD uniformity : $3 \text{ sigma} \leq 50 \text{ nm} (\text{At } 0.8 \text{ } \mu\text{m } \text{L/S}) \circ$

(3)標準製程:自動光阻塗佈與顯影系統中製作 NEB 與 DSE 之製程

條件

Wafer	Function	Step 1	Step 2	Step 3	Step 4	Step 5	Step 6
flow No		N	AF 3-5	~			
1	NEB	Unit	AD(2-3)	COL(2-6)	COAT	HP(2-8)	Unit
4000 Å	Resist	Cassette	\mathcal{O}	V	(2-1)		Cassette
	Coatiog	1-1,1-2,	90°C	23°C	4400 rpm	110°C,	1-1,1-2,
		1-3,1-4				120 sec	1-3,1-4
2	DSE	Unit	AD(2-3)	COL(2-6)	COAT	HP(2-8)	Unit
3000 Å	Resist	Cassette			(2-1)		Cassette
	Coating	1-1,1-2,	90°C	23°C	2000 rpm	95°С,	1-1,1-2,
		1-3,1-4				120 sec	1-3,1-4
5	NEB	Unit	HP(2-4)	COL(2-9)	DEV	DHP(2-7)	Unit
	Resist	Cassette			(2-2)		Cassette
	Develop	1-1,1-2,	105°C,	23°C	60 sec	110°C,	1-1,1-2,
		1-3,1-4	120 sec			120 sec	1-3,1-4
4	DSE	Unit	HP(2-4)	COL(2-9)	DEV	DHP(2-7)	Unit
	Resist	Cassette			(2-2)		Cassette
	Develop	1-1,1-2,	115°C,	23°C	60 sec	115°C,	1-1,1-2,
		1-3,1-4	120 sec			60 sec	1-3,1-4

(4)標準製程:電子束直寫系統轉檔程序



3.3.5 蝕刻製程

本論文之實驗所製作之量子點元件所處理之蝕刻製程分別有 Si₃N₄ 的蝕刻、SiO₂ 的蝕刻、polysilicon 的蝕刻、鋁合金的蝕刻。SiO₂ 主要是針對接觸窗之蝕刻(Contact Etching),本實驗採用 CHF₃ 電漿對 SiO₂ 進行反應性離子蝕刻(RIE),簡單說即是氟離子電漿對 SiO₂ 進 行化學反應再將反應後的揮發性氣體帶走,在這裡必須注意的一點為 氟離子電漿對 SiO₂ 與 Si 選擇比要越高越好,這跟氟原子對碳原子 的 F/C 比值有關。

(1) 機型:活性離子氧化矽乾式蝕刻機,日本 TEL 公司 model
 TE-5000,如圖 3-3-5 所示。



圖 3-3-5 乾式蝕刻機

(2)標準製程:

1.反應氣體: CHF₃, CF₄, Ar, O₂

2.晶片溫度:-25℃至10℃

3. 壓力: 0.1 Torr < pressure < 1.0 Torr

4.Power : < 1000 W

polysilicon 與 Si₃N₄ 之蝕刻是採用變電壓耦合式電漿(TCP)的方 式產生氯離子電漿用以對 Si 進行反應,原因是氯離子能對 poly 進行 非等向性(Anisotropic)蝕刻,而且氯離子電漿對 Si 與 SiO₂ 蝕刻之選 擇性較好。

(1)機型:變壓藕合電漿多晶矽蝕刻機

(TCP POLY-SILICON ETCHER),美國 LAM TCP 9400SE。

(2)標準製程:

1.反應氣體: Cl_2 , O_2 , HBr, SF₆

2. 晶片温度: 65℃

3. 壓力: 5~20 mTorr

4.Power : source power 200 \sim 400 W , bias power 0 \sim 200 W

最後,鋁合金的蝕刻,本實驗採用三氯化硼(BCl3)與氯氣之混合 氟體用以進行鋁的 RIE 蝕刻,加入 BCl₃ 的原因是因為 BCl₃/Cl₂ 電 漿對鋁的非等向性很好。

(1)機型:金屬蝕刻系統(METAL ETCHER ILD4100),日本 Anelva ILD-4100 helicon wave etcher 如圖 3-3-6 所示。



圖 3-3-6 金屬蝕刻系統

(2)使用氣體: BCl₃, Cl₂, CF₄, CHF₃, Ar, O₂, N₂, C₂F₆

3.3.6 SEM 規格設備

主要敘述線上電子顯微鏡的原理。在元件的製作過程中,我們將 去做元件結構的檢驗,分別在顯影後 ADI(After Develop Inspection) 以及蝕刻後 AEI(After Etch Inspection)使用線上掃描式電子顯微鏡 (In-line SEM)觀測元件之 profile 與主動區之線寬。ADI 之目的在於 蝕刻前先預知 pattern 在經過曝光、顯影之後是否達到我們所要求的 尺寸,若無,即重新做 rework,這樣可減少時間與資源上的浪費。而 AEI 之目的在於紀錄元件之 profile 與主動區之線寬,作為日後結構 分析之依據。

(1) 機型:線上電子顯微鏡(In-line SEM), HITACHI-S-6280H,如圖3-3-7所示。



圖 3-3-7 線上電子顯微鏡儀器

(2)系統規格:

1.加速電壓: 0.7 ~ 1.3 kV

2.放射電流:3~ 20 mA

3.電子槍:冷陰極場發射電子源(CCFE)

- 4.解析度:6nm
- 5.放大倍率:100 X ~ 150000 X
- 6.試片尺寸:6"晶圓(平邊)
- 7.影像旋轉:-50°~95°
- 8.真空度: ≦1 × 10⁻⁷ Pa(電子源)



第五章 結果與討論 (Result and Discussion) 5.1 結論:

於本研究中,我們利用已發展成熟之半導體製程技術製作一奈米級可見光矽量子點結構之光檢測器元件,並於其主要檢測工作結構-矽量子點,照射不同波長之光,進而量測與分析其光感測與電子傳輸 之特性。

首先我們將環境雜訊與探針載台(Probe Station)設備之漏電流抑 制在30 femtoampere (fA)以下,並且排除環境電磁波之干擾,因此才 能有效避免影響本研究之奈米元件結構之電性量測,並且也有效降低 奈米元件結構之雜訊與增加電性量測之可信度。

於量測奈米級矽量子點元件為可見光光檢測器之實驗中,可發現 此元件具高敏感之特性,因為其光電流將隨著照明強度之增強而增加, 也有非常靈敏快速之光切換特性,因為於電流對時間(I-T)之實驗中, 可以發現元件對於光源ON/OFF之切換非常迅速(不到1秒之時間內便 作完切換之動作)回復為其於光電流/暗電流之原始狀態,並具有非常 低之元件雜訊特性,另外,於不同之可見光波長照射之下,其電性量 測結果顯示此元件仍有很明顯之光信號轉換成電信號之光電轉換特 性,甚至於長時間量測下,其光電效應之特性也不會改變。另外,矽 量子點光檢測器在不同波長之光源照射下仍有非常高之量子效率與

74

光響應度,由於基於保護元件以及預防光電流過高而損壞元件為前題, 因此我們將電性量測之電流限制於20 nA以下!然而此元件雖受限於 限流為20 nA以下之量測條件,仍然有很高之光響應度與光敏感度以 及很低之工作電壓(0.25 V以內),亦即其於可見光範圍仍然擁有非常 靈敏之光感應度和光切換速度,不同於習知的光檢測器需要在大電壓 電流之工作條件下檢測紅外光。如果我們所製作出之元件在不設電流 限制之量測條件下,必定可得到更高之光響應特性。因此期待進一步 設計與製作可耐高電流之光電特性元件。

於此研究我們設計與製作奈米級可見光光檢測器,並針對此元件 之結構和電性做分析與探討,未來將繼續對此元件做更多之分析,例 如:低溫或為高磁之量測。希望藉此能夠對於此奈米級光檢測器元件 之特性,做更多之分析與探討,期望藉以利用矽量子點之量子侷限效 應期望於未來有更多之應用與發現,並能使得科技更加進步。 5.2 未來工作:

於本研究中,我們成功的製作出一奈米級矽量子點結構之可見光 光檢測器元件,利用其結構與元件之特性,將可使用於更多需要利用 電性方式用以檢測光之信號或為需要利用光信號轉換成電信號應用 之上,例如:使用於需要高速或高敏感度之光檢測器元件或為進一步 設計使用於光伏元件(太陽能電池)等應用上。



第四章 量測與分析

(Measurement and Analysis)

前言

本研究乃製作矽量子點元件,藉由矽量子點扮演光轉換為電之主 要角色,利用不同波長之光照射至矽量子點,針對此矽量子點元件做 光電效應等特性之分析,探討光子與電子之間主要之交互作用,即討 論半導體矽量子點元件主要工作原理及其應用。

電性量測儀器為使用國家奈米元件實驗室(簡稱 NDL) 所提供之 HP4156C 與美商安捷倫公司所提供之 B1500A 半導體特性量測分析 儀器,其量測之溫度為室溫(300K);並設定 Vds(汲源極電壓)電壓變 數對 Id(主動區量子點與穿透接面層之穿隧電流) 照射光源之前後作 量測,測試元件之電流與電壓特性。

因此本章節針對矽量子點元件於室溫(300K)之量測結果作理論分 析與討論。而其主要量測分為暗電流、光訊號、光響應度與光敏感度 以及光切換速度等量測分析⁽¹¹⁾⁽¹²⁾。另外,並介紹量測儀器的架設,以 及量測儀器之相關設定,和量測與排除環境雜訊之干擾影響。

4.1 量測儀器之架設

4.1.1 使用之設備儀器

光電效應等特性之量測儀器包含:光源(包含不同波長之LED光源、 可調整光源強度大小之電路與電源供應器)、Probe Station(探針與元件 之載台)、半導體特性量測分析儀器(HP4156C或安捷倫:B1500A), 另外使用PD300雷射光功率儀表(OPHIR Optronics LTD)量測入射光

55

源強度。其整體量測儀器之架設如圖4-1-1所示。



使用Triax cable之原因為Triax cable比Coax cable多了一層Driven Guard,當量測元件之電流值小於1 nA時,能有效的限制傳輸線之間 之漏電流及電荷並能抑制雜訊之電流產生,始可測得元件之正確電流 值。


4.1.2 光電效應等特性之量測步驟與方法

- (1). 首先先將元件放置於chuck(元件載台)上,並利用pump抽真空 將元件固定住。
- (2). 接著打開顯微鏡之光源,並調整顯微鏡位置,使光源投射於 探針與待測元件上。
- (3). 再調整顯微鏡焦距,使能清晰看見待測元件。
- (4). 下探針至待測元件上。
- (5). 關掉顯微鏡光源並關上Probe Station 之門(可量測無光源照射下之元件暗電流)。
- (6).利用半導體特性量測分析儀器(NDL:HP4156C或安捷倫:B1500A)分析待測元件特性(I-V、I-T)
- (7). 最後利用光源控制器用以控制光源強度與打開LED光源(可 量測元件之光訊號、光響應度與光敏感度以及光切換速度等 特性;使用光源控制器用以調控)。

PS:使用光強度控制照度之光學顯微鏡執行量測多層矽奈米柱光電導, 其產品名稱為GE-EKE-35200-21V150W;色溫為3250 K以及波長大約 580 nm。 4.1.3 光電效應等特性之電性量測儀器設定

(I) 給予元件一掃描電壓,並且量測其電流變化:(I-V)

(1). Channel 設定

首先設定量測端名稱,接著設定掃描端之掃描模式為V電壓 掃描,掃描方式為VAR1 可變化之掃描範圍,VAR1 之掃描方法 如圖 4-3-3 所示,其他未掃描之端點,則掃描模式都設定為 Common 接地以及掃描方式都設定為 Const 固定。

表 4-1-3(I)(a) 為量測端設定方式

Vname	Iname	MODE	FCTN	5
V _d	I _d	V	VAR1	
V _s	Is	Common	Const	V
Vg	Ig	Common	Const	

VAR1

圖 4-1-3 為量測端設定 VAR1 之掃描方式

(2). 量測條件設定

首先設定量測起始值為0V,以及截止電壓最大至0.5V,並 且設定每個量測點與點之間之間距為1mV,並且設定元件之限 制量測電流值為20nA,以保護元件並避免因為量測電流過高而 燒毀元件! 表 4-1-3(I)(b) 為量測端電壓掃描範圍與限流之設定

	V	1
Vstart	0	V
Vstop	500	mV
Vstep	1	mV
限流	20	nA

(Ⅱ)給予元件一固定電壓,並且設定量測所需之時間,以量測其電流之變化:(I-T)

(1). Channel 設定

首先設定量測端名稱,接著設定掃描端之掃描模式為V電壓 掃描,掃描方式為VAR1 可變化之掃描範圍,VAR1 之掃描方法 如圖 4-3-3 所示,其他未掃描之端點,則掃描模式都設定為 Common 接地以及掃描方式都設定為 Const 固定。

表 4-1-3(Ⅱ)(a) 為量測端設定方式

Vname	Iname	MODE	FCTN
V _d	I _d	V	VAR1
V _s	Is	Common	Const
Vg	Ig	Common	Const

ᡔᡢ

VAR1

圖 4-1-3 為量測端設定 VAR1 之掃描方式

(2).Constants 設定

首先設定其所需掃描之固定電壓值,跟著設定元件之限制量 測電流值(Compliance)大約為20nA,以保護元件並避免因為量測 電流過高而燒毀元件!

表 4-1-3(Ⅱ)(b) 為量測端電壓掃描範圍與限流之設定

V _d (Source) (固定電壓)	100 mV 、 200 mV 、		
	300 mV • 400 mV		
Compliance (限流)	20 nA		

(3).Sampling Parameter 設定:

首先設定取樣間隔時間(Interval)為 10 mS,接著設定取樣數目 (No of Sample)大約為 6000 點,儀器則會自行計算出量測所需之總取 樣時間(Total Sampling Time)為 60.000 mS,以設定連續輸出或是單一 輸出,最後設定起始量測時所需之延遲時間。

表 4-1-3(Ⅱ)(c) 為量測端時間掃描範圍

Interval	10	mS
No of Sample	6000	
Total Sampling Time	60.000	mS
Output Sequence	Sequential	
Hold Time	30	mS

4.2 量測結果與分析

(1) SiNx 絕緣體能夠有效的絕緣,於未照射光源(黑暗中)時 量測設 定給予一個大範圍之掃描電壓,以量測其電流之變化,其量測結 果可得非常低之暗電流值,大約為 picoampere (pA;10⁻¹² A)之電流 值,亦即表示於未照光時,除了 SiNx 絕緣體能夠有效絕緣電子之 流動以及抑制載子之擾動,也表示此元件之雜訊非常小,能有效 避免造成系統雜訊之產生以及避免光電流之不穩定性;接著於照 射 580 nm,強度為 101.7μW之光源之後,所量測得到之光電流 值高達 nanoampere (nA;10⁻⁹A)之等級,表示元件可吸收光進而產 生光電效應之效率非常高,另外也可以發現量測結果具有電流階 梯效應(Current staircase Effect),以及 Triple quantum dots 之間的 互相影響(interference) 現象。如圖 4-2-1 所示。



圖 4-2-1 顯示矽量子點於黑暗中(black line)與照射於單一波長 580 nm 強度為 101.7 μW 之光源之下所取得之電流-電壓(I-V)特性(red Line)。

(2)電流階梯效應可被明顯的看見,並且顯示出隨著照明強度之增強, 光電流也跟著增加。另外,當照明強度增強時,電流振盪現象也 跟著增加,如圖 4-2-2 所示。於電流對電壓(I-V) 特性量測結果, 發現其具有電流階梯(Current staircase Effect),以及 Triple quantum dots 之間的 interference 現象。元件之量測於低電壓 0.03 V 範圍 內,設定量測取樣間隔為 100 μV per step 共取樣 1000 個量測點 用以對元件作量測。源汲極之間的奈米級通道為 10 x 10 x3 nm³, 並且於工作電壓 0.1 V 內,發現於室溫(300K)操作之元件特性,具 有討論價值與實用性之潛力。



圖 4-2-2 顯示矽量子點於暗電流 (black line)與照射以單一波長 580 nm 之光源照射之下,並控制照射強度分別為 101.7 μW、110.8 μW、 125.4 μW,所得到之電流-電壓(I-V)特性。

(3) 光電流會隨著照明強度之增強而增加,並且電流振盪現象也跟著 明顯,如圖 4-2-3 所示。元件之量測於低電壓 0.1 V 內,設定量測 取樣間隔為 100 μV per step 共取樣 1000 個量測點 用以對元件作 量測。以單一波長 580 nm 之光源照射之下,調控其照射強度,分 別為 101 μW, 125μW, 178 μW, 290 μW, 396 μW, 498 μW 以及 618 μW,並進一步分析其於不同光源強度照光後,所產生之光電流值, 其結果可得隨著照明強度之增強光電流也跟著增大。



圖 4-2-3 顯示矽量子點之暗電流(black line)與照射於單一波長 580 nm 之光源,並調控所照射強度分別為 101 μW, 125μW, 178 μW, 290 μW, 396 μW, 498 μW 以及 618 μW,所得之電流-電壓(I-V)特性。

(4)此元件具有非常靈敏之光檢測器之特性。因為其暗電流為 pico 安培(pA;10⁻¹²A)等級與光電流為 nano 安培(nA;10⁻⁹A)等級,二者 比較可得一明顯的電流量差距;並且於掃瞄偏壓期間每間隔 5 秒 開啟或關閉照光,對照於元件於照光與去除照光之瞬間之電流對 電壓(I-V)特性,結果可觀測到電流值於暗電流與光電流間快速切 換並幾乎與未切換之暗電流與光電流值相同,雖然由其掃描電流 值可觀測其仍有延遲特性,但整體來說此光檢測器元件仍具有靈 敏之光感應特性,如圖 4-2-4 所示。



圖 4-2-4 顯示矽量子點之暗電流(dark line)與於單一波長 580 nm 強 度為 396 μW 之光源照射下之光電流(red Line),並以手動情況下每 5 秒可逆之切換 ON/OFF 光源所得之電流對電壓(I-V) 曲線(green line)。

(5) 矽量子點元件於白光 LED 照射下,與用單一波長為照射光源之光 檢測以及光切換特性相同,可得 pico 安培(pA;10⁻¹²A)等級之暗電 流與 nano 安培(nA;10⁻⁹A)等級之光電流;且其於掃瞄偏壓期間每 間隔 5 秒開啟或關閉照光之電流對電壓(I-V)特性亦相同,與用單 一波長為照射光源不同處乃為於白光照射下其切換之電流值更為 靈敏,其掃描電流值瞬間恢復與未切換之暗電流與光電流值相同, 其電流-電壓曲線變化沒有延遲現象產生,如圖 4-2-5(a)及圖 4-2-5(b)所示;表示此元件不僅對特定單一波長具光電效應,且於 可見光波長範圍皆具有很靈敏之光感應特性。如圖 4-2-5(c)所示。



圖 4-2-5(a)顯示矽量子元件之暗電流 (black line)與於色溫為 5500K 之白光 LED 照射下之光電流(red line),以及每5 秒可逆之切換 光源 ON/OFF 之電流-電壓(I-V)特性(green line)。



圖 4-2-5(b)顯示矽量子點於黑暗中(black line)與於色溫為 5500K 之白光 LED 照射下之光電流(red line),以及量測處於手動之情況下每 5 秒可逆的切換 ON/OFF 光源,所量測得到之電流-電壓(I-V)特性 (green line)。



圖 4-2-5(c)顯示矽量子點元件之暗電流 (black line)與色溫為 5500K之白光LED照射下,調控照光強度分別為0.5 mW, 1.0 mW, 1.5 mW and 2.0 mW,所得到之電流-電壓(I-V)特性。

(6) 圖 4-2-6 為於1 秒之內作完光源 ON/OFF 之切換與隨著掃描時間之 增加所量測出之光電流變化,並且改變固定偏壓,可發現隨著掃 描偏壓之上升。



圖 4-2-6 矽量子點元件於黑暗中與於色溫為 5500K 之白光 LED 照射下,改變掃描偏壓分別為 200 mV, 300 mV, 400 mV, 所量測得到之 電流-時間(I-T)特性。

(7) 矽量子點元件具可見光之光檢測之特性,元件分別於不同之波長 (紅光 628 nm、橘光 593 nm、綠光 527 nm、藍光 472 nm)照射下, 仍有明顯之光信號轉換成電信號之特性,表示此光檢測器元件於 不同波長之光源照射之下,具有好的光電轉換與切換特性,如圖 4-2-7(a)~4-2-7(d)所示。





圖 4-2-7(a)~ 4-2-7(d)顯示矽量子點元件之黑電流(black line)與於 不同之波長(紅光 628 nm、橘光 593 nm、綠光 527 nm、藍光 472 nm)

照射下之光電流(red Line),以及每5秒手動切換ON/OFF 光源之 I-V 曲線 (green line)。

(8) 矽量子點元件所能檢測光源波長非常廣泛,元件於不同之波長 (340 nm~1000 nm)照射下,除了有明顯之光信號轉換成電信號之 特性,另外加入計算有效元件檢測面積之計算結果,顯示元件有 很高的響應度特性,其響應度值則高達 1×10⁶,如圖 4-2-8 所示。



圖 4-2-8 為加入計算有效元件檢測面積之響應度與波長作圖

(9) 在元件主要工作區域中,所包含不同數量之量子點都有檢測光源 之特性,其檢測光源為白光LED,計算結果如下表 4-2-9 所示, 由量測結果可知當量子點數目越多則其對光的感測能力越高。

表 4-2-9 為對不同數量之量子點作光源檢測實驗之統計

量子點數 量測結果	Wafer6 (1顆量子點)	Wafer 8 (2顆量子點)	Wafer9 (3顆量子點)
有PhotoDctect特性	3	9	83
沒反應	19	18	6
馬上過限流	5	9	10
總量測數目	27	36	99

4.3 理論計算

量子效率 (η; quantum efficiency)與響應度(Responsivity)則以下列 方程式表示:

$$\eta = \left[\frac{I_{\rm ph}}{q}\right] \left[\frac{P_{\rm opt}}{h\nu}\right]^{-1}$$

$$R = \frac{I_{\text{ph}}}{P_{\text{opt}}} = \frac{\eta q}{h\nu} = \frac{\eta \lambda(\mu m)}{1.24} \quad (A / W)$$

實驗中所量測出之各項數值:

於光強度為396 μ W之入射光波長 λ = 580 nm光源照射下,量 測出最大之光電流為 I_p = 8.8786 nA (掃描偏壓 Vd = 0.18 V), P_{opt} = I_{irr} (入射光之照度) × A (有效之元件面積),其量測出之照 度 I_{irr} 大約為10.504 W/m²,入射至元件之光束直徑大約為3 x 4 mm,有效之量子點檢測面積(A)認為是10 nm(頂端電極面積) x 21 nm(多層多晶砂/氮化物絕緣接面),因此A = 2.1 x 10⁻¹⁶ m²,q = 1.60218×10⁻¹⁹ C,可計算出元件響應度大約為R = 3.98 x 10⁶ A/W。

另外估計多層多晶砂/氮化物絕緣接面元件之外部量子效率η。 於波長為580 nm之單一光子能量大約為2.14 eV與3.42 x 10⁻¹⁹ J/second。每秒傳送至量子點之入射輻射能為I_{irr} × A ~ 2.2 x 10⁻⁷ J/second,如此產生之通量大概為每秒6.4 x 10¹¹個光子入射至點上, 以及大約每秒相當於產生5.5 x 10¹⁰載子,因此產生外部量子效率 η大約為8.6 %。此外,若增加偏壓,量子效率η可更大。另外, 當偏壓增加時,光電流迅速的增加。其他於不同波長之光源照射 下之理論計算,如上式方法計算,即可求得。

總結:

(1) 矽量子點光檢測器有很高之量子效率與光響應度,因為於單 一波長 580 nm 之光源照射下,所量測得到之光電流值(red Line)與暗電流值(black line)之差值即為光激發產生之光電流, 如圖 4-2-3 所示,並且量測入射光功率強度為 396 µW,因此 計算得到元件之光響應度大約為 R = 3.98 x 10⁶ A/W (V_d = 0.18 V) 以及外部量子效率大約為 8.6 % (V_d=0.18 V). (2) 矽量子點光檢測器於不同波長以及較低之光強度之光源照射下,仍然有很高之量子效率與光響應度以及有很高之光敏感性,如下表 4-3 所示,為不同波長光源照射下之量測與計算結果,另外於不同波長光源之量測操作電壓均為 V_{ds}=0.12 V。

	Power (µW)	E _g (eV)	η (%)	R (A/W)	Photosen sitivity
580nm (V _{ds} =0.18V)	396	2.14	8.6	3.98×10 ⁶	29.88
580nm	396	2.14	4.6	2.08×10 ⁶	26.46
628nm(Red)	418	1.97	7.5	3.81×10 ⁶	41.68
593nm(Orange)	282	2.09	10	4.82×106	36.58
527nm(Green)	513	2.35	7.8	3.33×10 ⁶	46
472nm(Blue)	389	2.63	10.2	3. 87 ×10 ⁶	39.33

表 4-3 為不同波長光源照射下之量測與計算結果

第五章 結果與討論 (Result and Discussion) 5.1 結論:

於本研究中,我們利用已發展成熟之半導體製程技術製作一奈米級可見光矽量子點結構之光檢測器元件,並於其主要檢測工作結構-矽量子點,照射不同波長之光,進而量測與分析其光感測與電子傳輸 之特性。

首先我們將環境雜訊與探針載台(Probe Station)設備之漏電流抑 制在30 femtoampere (fA)以下,並且排除環境電磁波之干擾,因此才 能有效避免影響本研究之奈米元件結構之電性量測,並且也有效降低 奈米元件結構之雜訊與增加電性量測之可信度。

於量測奈米級矽量子點元件為可見光光檢測器之實驗中,可發現 此元件具高敏感之特性,因為其光電流將隨著照明強度之增強而增加, 也有非常靈敏快速之光切換特性,因為於電流對時間(I-T)之實驗中, 可以發現元件對於光源ON/OFF之切換非常迅速(不到1秒之時間內便 作完切換之動作)回復為其於光電流/暗電流之原始狀態,並具有非常 低之元件雜訊特性,另外,於不同之可見光波長照射之下,其電性量 測結果顯示此元件仍有很明顯之光信號轉換成電信號之光電轉換特 性,甚至於長時間量測下,其光電效應之特性也不會改變。另外,矽 量子點光檢測器在不同波長之光源照射下仍有非常高之量子效率與

74

光響應度,由於基於保護元件以及預防光電流過高而損壞元件為前題, 因此我們將電性量測之電流限制於20 nA以下!然而此元件雖受限於 限流為20 nA以下之量測條件,仍然有很高之光響應度與光敏感度以 及很低之工作電壓(0.25 V以內),亦即其於可見光範圍仍然擁有非常 靈敏之光感應度和光切換速度,不同於習知的光檢測器需要在大電壓 電流之工作條件下檢測紅外光。如果我們所製作出之元件在不設電流 限制之量測條件下,必定可得到更高之光響應特性。因此期待進一步 設計與製作可耐高電流之光電特性元件。

於此研究我們設計與製作奈米級可見光光檢測器,並針對此元件 之結構和電性做分析與探討,未來將繼續對此元件做更多之分析,例 如:低溫或為高磁之量測。希望藉此能夠對於此奈米級光檢測器元件 之特性,做更多之分析與探討,期望藉以利用矽量子點之量子侷限效 應期望於未來有更多之應用與發現,並能使得科技更加進步。 5.2 未來工作:

於本研究中,我們成功的製作出一奈米級矽量子點結構之可見光 光檢測器元件,利用其結構與元件之特性,將可使用於更多需要利用 電性方式用以檢測光之信號或為需要利用光信號轉換成電信號應用 之上,例如:使用於需要高速或高敏感度之光檢測器元件或為進一步 設計使用於光伏元件(太陽能電池)等應用上。



參考文獻

1. 馬遠榮, *科學發展*, **382**期, 75 (2004)。

2. 陳貴賢與吳季珍, 物理雙月刊, 23 卷 6 期, 609 (2001).

3. S. M. Sze, *Physics of Semiconductor Devices*, 2nd ed., Taipei, John Wiley & Sons, pp. 59-463, (1981).

4. S. O. Kasap, Optoelectronics and Photonics : *Principles and Practices*, Canada, pp. 107-139, (1966).

5. S. M. Sze, Physics of Semiconductor Devices, 2nd ed., Taipei,

John Wiley & Sons, pp. 427-435, (1981).

6. S. O. Kasap, Optoelectronics and Photonics : *Principles and Practices*, Canada, pp. 242-244, (1966).

7. S. O. Kasap, Optoelectronics and Photonics : *Principles and Practices*, Canada, pp. 224-225, (1966).

8. 奈米創新網, http://nano.stpi.org.tw/

9. 張文豪與徐子民,物理雙月刊,28卷5期, (2006).

10. GNUTZMANN. U and CLAUSECKER. K, "**Theory of direct optical transitions in an optical indirect semiconductor with a superlattice Structure**", *Appl. Phys.* **3**, 9 (1974).

11. H. Kind, H. Yan, B. Messer, M. Law, and P. Yang, "Nanowire

Ultraviolet Photodetectors and Optical Switches", *Adv. Mater.* 14, **2**, (2002).

12. J. B. K. Law and J. T. L. Thong, "Simple fabrication of a ZnO nanowire photodetector with a fast photoresponse time", *Appl. Phys. Lett.* 88, 133114 (2006).