

整合光輔助電化學穿孔蝕刻與微電鑄技術應用於微金屬柱陣列之研製

楊啟榮¹、李明承²、羅嘉佑²、張龍吟²

¹ 國立臺灣師範大學機電科技學系教授

² 國立臺灣師範大學機電科技學系研究生

國科會計畫編號：NSC94-2622-E-003-003-CC3

摘要

本研究將整合光輔助電化學蝕刻(ECE)與精密電鑄技術，以開發高密度金屬垂直結構陣列之製程技術。利用改變光照強度與電流密度等實驗條件，以電化學蝕刻達到矽晶圓高密度微穿孔的目的，再利用精密電鑄技術進行穿孔之金屬導體填充，如此可實現高密度金屬垂直結構陣列。未來可應用於積體化探針陣列之製作，或利用晶圓內垂直導體而實現晶圓級堆疊封裝之目的。此技術開發有設備與製程成本低、可積體化生產、與半導體製程相容性高、批次生產與良率高等特點。

基於上述，本研究利用自行開發之低成本電化學蝕刻(ECE)設備，順利測得相關製程之最佳參數。由實驗結果已驗證，在利用電化學蝕刻技術製作高深寬比微孔洞陣列方面，當蝕刻時間達到31.5小時，可得高深寬比之穿孔結構。所用之晶片為n-type <100>，其蝕刻液為2.5 wt.%之氫氟酸溶液，陽極放置矽晶片，陰極為白金電極，獲得之穿孔其線寬為40 μm ，深寬比約為12.5，證明利用此技術已能局部取代乾式蝕刻之應用領域。在金屬柱電鑄方面，利用正負脈衝電流，使金屬柱陣列能順利成形，其金屬柱高度約500 μm ，深寬比約為12.5。

關鍵字：微機電系統，電化學蝕刻，微電鑄技術。

1. 前言

利用微機電系統技術開發出微小化元件或裝置，是目前微機電系統重要的發展課題之一。然而，當元件尺度縮小後，常會產生許多製作上的困難與問題，這都需要迫切地研究並尋求解決之道。另外，如何有效地利用矽晶片的三維空間，藉此增加系統元件之密集度，也將是未來製程設計及製造的必然趨勢。在微機電系統技術中，製作高深寬比結構為其一大特色，其中以蝕刻技術最為被廣泛使用。濕式蝕刻設備雖較為廉價且易取得，然而單晶矽的結晶方式為鑽石立方結構，所以對某些特定的蝕刻液如KOH、EDP或TMAH來說，在不同結晶面會產生蝕刻率的差異性[1-2]，關係大致為(100)>(110)>(111)，因此對<100>晶片而言，蝕刻出的形貌為具一定角度(54.74°)的V型溝槽。若要製作90°垂直側壁的溝渠時，則必須使

用價格較高的<110>晶片，或者是以<100>晶片再利用光罩在水平面上(z-軸)轉動角度會對非等向性蝕刻產生影響的特性，形成90°垂直側壁的溝渠，但如此已增加製程的複雜性。新近發展的感應耦合電漿離子蝕刻技術，配合Bosch的ASE (advanced silicon etch)專利技術，雖然有極佳的高深寬比矽微加工能力，但此系統的價格相當昂貴(約1200~2000萬/台)且加工成本極高，一般學術單位取得不易。

表一為ICP-RIE與ECE技術之比較，由表中可以很清楚的看出，電化學蝕刻技術除了擁有較低廉的設備及維護成本外，其在與IC相容性及量產能力上都不輸給ICP-RIE，因此尚待技術更成熟時，相信不久的未來將很有機會取代高成本ICP-RIE。

電化學蝕刻形成多孔矽(porous silicon)的基本機制如圖一所示[3-5]：矽晶片的表面在含氫氟酸(HF)之電解液中，經陽極氧化可形成多孔矽反應。在反應過程中，陽極的電洞(hole)擴散至晶片與溶液之間，並使矽在含氟離子的電解液中被氧化而溶解，進而達成蝕刻效果。為將電洞能有效的集中在孔洞尖端，可藉由黃光微影製作具蝕刻圖案之矽晶片，利用KOH等溶液在選擇性的區域作預蝕刻，形成倒金字塔的尖點。在陽極處理的過程中，電洞載子會集中於這些尖點上，進行氧化及溶解的作用，進而形成筆直的高深寬比微米級結構，而這些孔洞是延著<100>的方向發展。電解氧化的過程中，諸如矽晶片內電洞的分佈與移動、電流電壓的控制、電解液的濃度及配方、陽極反應時間等，對於孔洞型態與蝕刻效率的影響甚鉅。

2. 實驗方法

2.1 實驗規劃

實驗所用之基材為n型<100>矽晶片，首先，在矽晶片上使用低壓化學氣相沉積(LPCVD)的方法，沉積上一層氫氟酸溶液所需之蝕刻罩幕，並配合標準黃光製程及反應離子蝕刻技術定義出結構圖形，最後以電化學蝕刻技術製作出高深寬比之微結構，其實驗製作流程如圖二所示，說明如下：

- (1) 首先利用低壓化學氣相沉積技術沉積一層 4000 \AA 低應力之氮化矽，以黃光微影製程定義圖形，並利用反應性離子蝕刻(RIE)技術蝕刻出電化學蝕刻所需的蝕刻窗(etching window)，如圖二(a)及圖二(b)所示。由於氮化矽無論對酸、鹼化學

溶液之蝕刻率皆非常低，且氮化矽亦為半導體中常用的材料，故本實驗選其為阻擋蝕刻液侵蝕的罩幕。

- (2) 將 RIE 蝕刻後所裸露出的矽表面，以 KOH 溶液將孔洞預蝕刻成倒金字塔形尖孔洞，是以供電洞載子能順利集中在這些尖點上，使得電化學蝕刻過程中氧化及溶解反應能順著<100>的晶格方向發展，進而形成高深寬比之矽微結構。再利用反應性離子蝕刻(RIE)技術去除晶片背面之氮化矽層，並在晶片背面蒸鍍上厚度分別為 20 Å/200 Å 之鉻與金的金屬層，如圖二(c)所示。
- (3) 將製作完成之試片固定於蝕刻槽中，施以一正向偏壓進行電化學蝕刻，如圖二(d)所示，並尋求不同的蝕刻參數以得到較佳的微結構。
- (4) 將蝕刻完成之穿孔試片去除正面氮化矽與背面金屬層，並在正面濺鍍上厚度分別為 200 Å/2000 Å 之鉻與銅金屬層，如圖二(e)所示，作為後續電鑄製程之起始層。
- (5) 利用過電鑄技術，將試片正面之穿孔覆蓋，形成銅金屬基板。如圖二(f)所示，作為電鑄金屬柱之起始層。
- (6) 利用電鑄技術，將穿孔填滿銅金屬，形成銅金屬柱結構，如圖二(g)所示。
- (7) 最後將矽基材去除，即完成金屬柱狀陣列結構，如圖二(h)所示。

2.2 實驗裝置

電化學蝕刻之實驗係將矽晶片以 O 型環固定於具螺紋之銅電極與蝕刻槽之間，如圖三所示，在實驗裝置中，以銅電極作為陽極(置於矽晶片下方)，以白金片為陰極(置於矽晶片上方)，陰陽電極之距離約 2~4 cm。

實驗所用之蝕刻液，為濃度 2.5 wt.% 之氫氟酸 [HF (50%): H₂O = 5: 95] 溶液。將固定於蝕刻槽體中之兩電極，外接於一恆電位儀電源供應器 (EG & G-263A)，並藉由電腦中 Virtual Potentiostat 這套電化學專用軟體，根據使用者輸入的電壓及時間，完成電化學蝕刻實驗。

3. 結果與討論

3.1 光輔助電化學蝕刻製程

3.1.1 蝕刻電壓的影響

以下實驗將探討蝕刻孔洞深度與形貌隨電壓變化之關係。實驗中的蝕刻時間設定為 2 小時，蝕刻液濃度為 2.5 wt.% 的 HF，並使用輔助燈源照射晶片以激發光電子。蝕刻電壓分別為 0.25 V、0.5 V、1 V、2 V、4 V 以及 8 V，其實驗結果如圖四所示。圖四(a)顯示，在 0.25 V 時可以看出電流並不完全集中在倒金字塔的尖端，造成原本平滑之<111>面有多孔矽產生。如圖四(b)顯示，當電壓提高至 0.5 V 時，孔洞深

度有些微的增加，而<111>面的多孔矽減少許多，蝕刻電流較聚集於倒金字塔尖端。圖四(c)顯示，再將電壓提升至 1 V 時，孔洞的形狀已明顯的呈現，此時孔洞之深度為 68 μm，蝕刻速率為 0.57 μm/min。然而，如圖四(d)、(e)與(f)顯示，電壓增加至 2 V、4 V 與 8 V 時，孔洞深度並無明顯改變，且增加至 8 V 時，孔洞之表面會變粗糙，也有側蝕現象的產生。將上述實驗結果整理說明，在進行電化學蝕刻中，當電壓增加時，蝕刻孔洞的深度也隨之增加。由於電化學蝕刻多孔矽時，施加電壓會將矽內部電洞牽制矽表面，使其與蝕刻液的介面產生反應，達到蝕刻效果。當施加電壓較低時，電洞大多分布於表面，較少集中在尖端處，使其表面有多孔矽的產生。施加適當的電壓時，電洞較集中於尖端處，使其有較理想之孔洞形貌，當電壓較大時，電洞集中於尖端，且尖端周圍也有較多電洞，使其容易有側蝕現象產生。

3.1.2 蝕刻液濃度的影響

以下實驗將探討蝕刻孔洞深度與形貌隨蝕刻液濃度變化的關係，實驗中的蝕刻時間設定為 2 小時，蝕刻電壓為 1 V，蝕刻液濃度分別為 1.25 wt.%、2.5 wt.%、5 wt.% 與 25 wt.% 的 HF，並使用輔助燈源照射晶片以激發光電子，其實驗結果如圖五所示。在進行電化學蝕刻中，當濃度增加時；蝕刻孔洞的深度也隨之增加，圖五(a)顯示在 1.25 wt.% 時可以看出蝕刻效果並不顯著，孔洞深度只有 15 μm，蝕刻速率為 0.12 μm/min。圖五(b)與(c)顯示當濃度提高至 2.5 wt.% 及 5 wt.% 時，孔洞深度有明顯增加的趨勢，在濃度為 5 wt.% 時，孔洞之深度為 130 μm，蝕刻速率為 1.1 μm/min，不過表面形貌卻有不平整的情況產生。而圖五(d)顯示提升濃度至 25 wt.% 時，孔洞深度並無明顯提升，且孔洞的表面形貌已無單一方向性，形成樹枝狀結構。將上述實驗結果整理說明，增加蝕刻液濃度有助於蝕刻反應之進行即增加孔洞深度，但過高之蝕刻液濃度，使其反應較為劇烈，當電洞遷移逐漸至表面時，一經接觸即產生反應，故容易形成樹枝狀結構。

3.1.3 蝕刻時間的影響

以下實驗將探討蝕刻孔洞深度隨蝕刻時間變化的關係，實驗中的蝕刻電壓為 1 V，蝕刻液濃度為 2.5 wt.% 的 HF，蝕刻時間分別為 10、20、30 及 31.5 小時，並使用輔助燈源照射晶片以激發光電子，其實驗結果如圖六所示。在進行電化學蝕刻中，當蝕刻時間增加時；蝕刻孔洞的深度也隨之增加，如圖六(a)、(b)及(c)所示，此時孔洞之深度分別為 209 μm、328 μm 及 410 μm，蝕刻速率分別為 0.35 μm/min、0.27 μm/min 及 0.23 μm/min。圖六(d)顯示將蝕刻時間再往上增加至 31.5 hr 時，孔洞已完全貫穿厚度約為 500 μm 之矽晶片，蝕刻速率約為 0.24 μm/min。將上述實驗結果整理說明，孔洞深度隨著蝕刻時間越長而越

深。在蝕刻速率方面，隨著時間增加而有減慢的趨勢，因為蝕刻液濃度經過長時間的作用後逐漸衰減，使其反應較為緩和。

3.2 電鑄製程

3.2.1 穿孔之電鑄基板形成方法

在穿孔試片中，並無電鑄起始的基板，故需先使穿孔之試片的正面濺鍍上電鑄起始層，再利用過電鑄技術，使其穿孔正面形成銅基板，再將其翻面電鑄後，銅金屬柱就能順利形成。此起始層的厚度與品質將影響銅基板之好壞，故以下就針對其厚度加以探討。

本實驗中的起始層金屬為鉻/銅，厚度為200 Å/2000 Å，電流密度為2 ASD，預定電鑄之厚度為500 μm，所需時間約為19 hr。圖七顯示金屬基板已成形，然而因濺鍍時階梯覆蓋的影響，孔洞之側壁也有金屬層附著。又因形狀效應的影響，電鑄時電流密度較集中於尖角，使其尖角處沉積速率較快，造成孔洞包覆，但因孔洞側壁覆蓋的金屬層面積較多，形成這些中空的金屬柱；若以此狀態作後續金屬柱電鑄製程，將造成金屬柱內有缺陷的存在，影響其結構性質。為了改善這種情況，故將起始層厚度改為100 Å/1000 Å，圖八顯示孔洞側壁覆蓋的金屬層面積較少，包覆的情況可較為減緩。但卻衍生出另一個問題：在先前電化學蝕刻製程時，試片正面的形貌有許多因蝕刻所產生的不平整處，也就是缺陷，其較厚的起始層可將這些不平整處稍微覆蓋填平，如果起始層厚度太薄，部份地方會因這些缺陷形成斷路，如圖九所示，使得銅金屬基板無法完全電鑄成形。

3.2.2 金屬柱陣列之電鑄形成

承上小節之電鑄結果，金屬基板已完全形成，使後續金屬柱陣列結構的電鑄製程能夠順利進行。在金屬柱電鑄方面，本研究利用正負脈衝電流，使金屬柱陣列能順利成形。其相關實驗參數為：正向電流密度為3 ASD，時間40 ms；負向電流密度4 ASD，時間10 ms，總電鑄時間24小時。如圖十顯示金屬柱陣列已成形，其高度約500 μm，深寬比約為12.5。

本研究結果雖利用正負脈衝電流之微電鑄技術可達成最終目的之金屬柱陣列結構，但因電鑄時間達24小時之久，故往後如能有機會將電鑄設備改善，利用特殊電鑄系統，必能將時間縮短一半以上，並嘗試尋找最理想之參數以提高良率，使其應用領域更加廣泛。

4. 結論

本研究利用自行開發之電化學蝕刻設備，順利建立n型矽電化學蝕刻穿孔所須之各項參數，並配合微電鑄技術，成功的製作出微金屬柱陣列。由此研究成果驗證，電化學蝕刻技術已能取代部分 ICP-RIE 技

術，對於往後在製作各種高深寬比之微結構或微機電元件時，提供了一種低成本、製程簡便的技術。本研究結論歸納如下：

1. 本研究成功的利用電化學蝕刻技術在矽基材上作出穿孔結構，其實驗相關參數為：恆電位儀提供電壓1 V，濃度2.5 wt.% 之HF蝕刻液，蝕刻時間31.5小時，孔洞深度與寬度分別為500 μm與40 μm，其深寬比約為12.5。
2. 在電鑄製程中，利用過電鑄技術並搭配正負脈衝電流，成功地沉積出金屬柱所需之起始基板，其相關實驗參數為：正向電流密度3 ASD，時間40 ms；負向電流密度4 ASD，時間10 ms，總電鑄時間14小時，厚度300 μm。

在金屬柱電鑄方面，利用正負脈衝電流，使金屬柱陣列能順利成形，其相關實驗參數為：正向電流密度3 ASD，時間40 ms；負向電流密度4 ASD，時間10 ms，總電鑄時間24小時，其金屬柱高度約500 μm，深寬比約為12.5。

5. 誌謝

感謝國科會計劃經費補助，指導學生的師長們以及研究所的夥伴們，有你們的協助才使本篇研究能順利完成，謹此至上最高的敬意與謝忱。

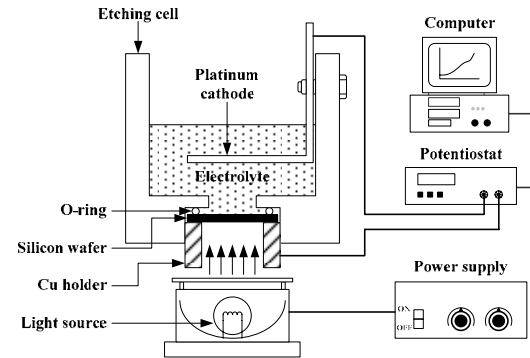
6. 參考文獻

1. B. Schwartz and H. R. Robbins, "Chemical etching of silicon", Journal of the Electrochemical Society, Vol. 123, pp. 1903-1909, 1976.
2. A. F. Bogenschütz, W. Krusemark, K.H. Locherer, and W. Mussinger, "Activation energies in the chemical etching of semiconductors in HNO₃-HF-CH₃COOH", Journal of the Electrochemical Society: Solid State, Vol. 114, pp. 970-973, 1967.
3. M. D. B. Charlton, H. W. Lau, and G. J. Parker, "High aspect ratio photo-assisted electro-chemical etching of silicon and its application for the fabrication of quantum wires and photonic band structures", IEE Colloquium on Microengineering Applications in Optoelectronics, pp. 1-9, 1996.
4. A. Satoh, "Formation of through-holes on silicon wafer by optical excitation electropolishing method", Japanese Journal of Applied Physics, Vol. 39, pp. 378-386, 2000.
5. V. Lehmann and H. Föll, "Formation mechanism and properties of electrochemically etched trenches in n-type silicon", Journal of the Electrochemical Society, Vol. 137, pp. 653-658, 1990.

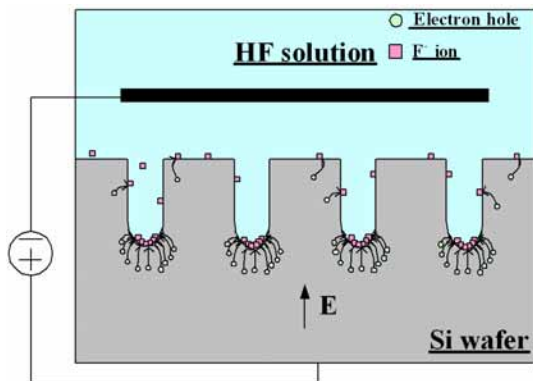
7. 圖表

表一 ICP-RIE與ECE技術之比較。

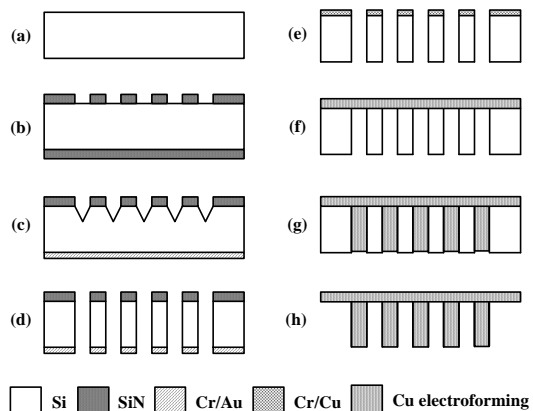
	感應耦合電漿離子蝕刻(ICP-RIE)	電化學蝕刻(ECE)
乾/濕蝕刻	Anisotropy dry-etching	Anisotropy wetting-etching
深寬比	>40	>50
蝕刻率	1-3 $\mu\text{m}/\text{min}$	0.5-2 $\mu\text{m}/\text{min}$
蝕刻深度	>400 μm	>400 μm
垂直度	$\pm 0.5^\circ$	$\pm 0.5^\circ$
蝕刻源	SF_6 gas etc.	HF-base solution
罩幕材料	$\text{SiO}_2/\text{PR}/\text{Metal}$	$\text{SiO}_2/\text{Si}_3\text{N}_4/\text{Metal}$
設備、維護成本	High	Low
真空度	High/Mid	Non
電漿密度	High	Non
IC 相容性	High	High
蝕刻溫度	Room	Room
大量生產	High	High
矽之選擇比	Good	Good
技術成熟度	High	Medium
製程難易度	Medium	Easy



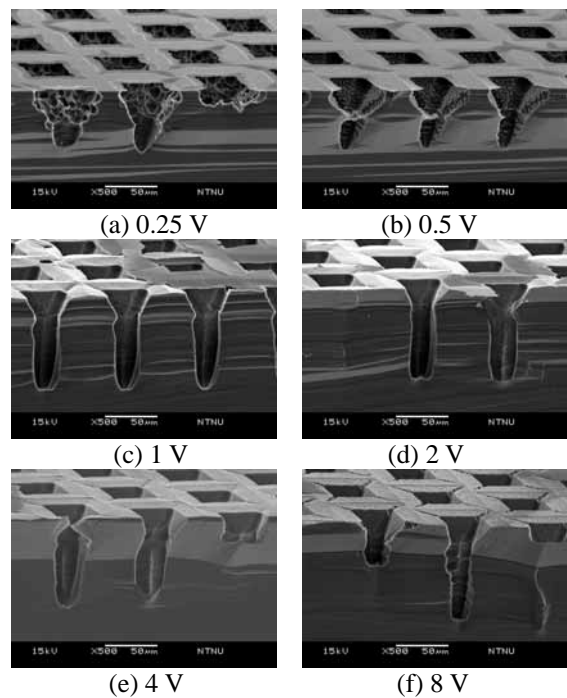
圖三 電化學蝕刻設備示意圖



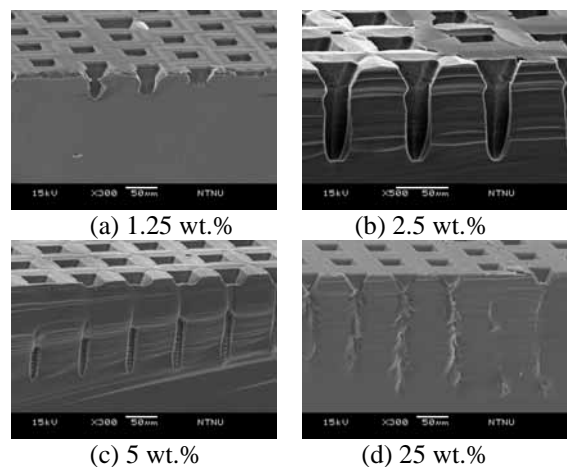
圖一 多孔矽形成機制示意圖



圖二 利用電化學蝕刻與電鑄技術製作金屬柱陣列之製程流程圖



圖四 施加不同電壓對電化學蝕刻的影響(a) 0.25 V; (b) 0.5 V; (c) 1 V; (d) 2 V; (e) 4 V; (f) 8 V.



圖五 不同蝕刻液濃度對電化學蝕刻的影響(a) 1.25 wt.%; (b) 2.5 wt.%; (c) 5 wt.%; (d) 25 wt.%.

Fabrication of metal micropillars array by integrating photo-assisted electrochemical etching through-holes and electroforming techniques

Chii-Rong Yang, Ming-Cheng Li, Jia-You Lo, Long-Yin Chang
Department of Mechatronic Technology,
National Taiwan Normal University

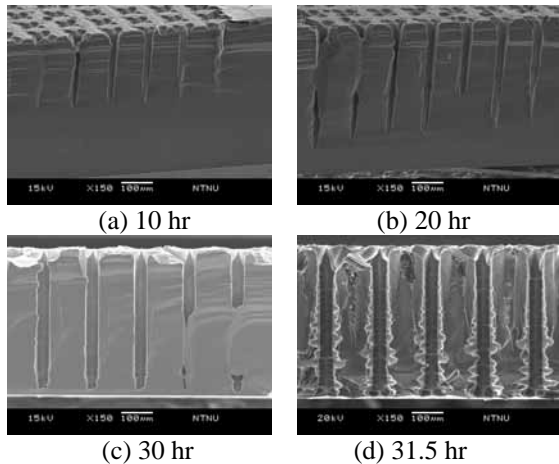
NSC Project No.: NSC94-2622-E-003-003-CC3

Abstract

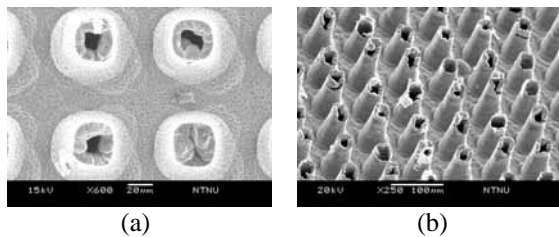
This research will integrate photo-assisted electrochemical etching (ECE) and electroforming techniques for fabricating high-density metal micropillars. This process is described as followed: high-density through holes in silicon are etched by photo-assisted electrochemical etching under various parameters; then the through holes are fully filled by copper electroforming technique to form high-density metal micropillars. The developed technology will be promising for the application of integrated probe array and wafer-level package in the further.

Because of the above-mentioned, this research used the low-cost electrochemical etching (ECE) equipment developed by ourselves and got the best parameters of the related manufacture. The experiment results proved that the technology had been able to partially replace the dry etching technology. Using the ECE technology to fabricate high aspect of micro-pores array, we can get the structures of high aspect when the etching time reached 31.5 hours. Through-holes were formed by selective partial electropolishing in a 2.5 wt.% HF electrolytic solution, using an N-type, (100)-oriented Si wafer as an anode, and a Pt plate as a cathode. The obtained holes were square through-holes of 40 μm side length, with an aspect ratio of 12.5. Metal micropillars were made by electroforming technology with pulse and reverse current. The height of metal micropillars achieve 500 μm and the aspect ratio can reach 12.5.

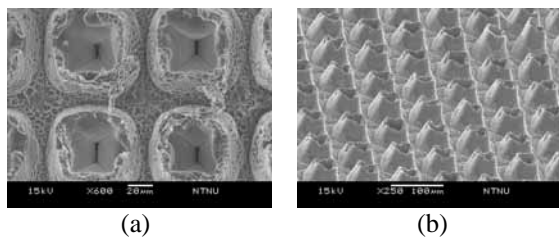
Keywords: micro electro mechanical system, electrochemical etching, electroforming technology.



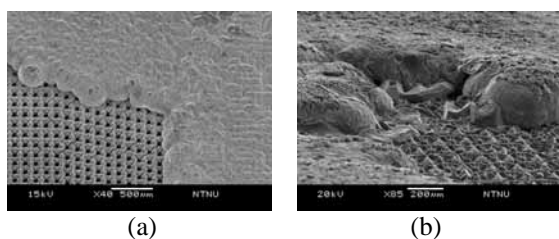
圖六 不同的蝕刻時間對電化學蝕刻的影響(a) 10 hr; (b) 20 hr; (c) 30 hr; (d) 31.5 hr.



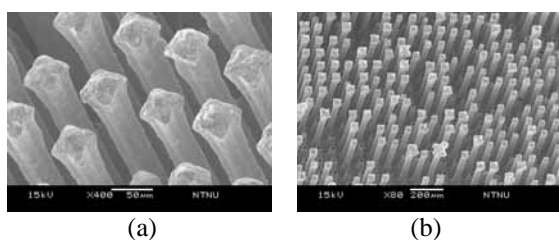
圖七 電鑄基板所形成之結構



圖八 改善起始層厚度後之電鑄結果



圖九 改善起始層厚度後所衍生之問題



圖十 電鑄完成之陣列金屬柱結構